

Rec'd PCT 23 SEP 2004

PCT/JP03/03688

日 本 国 特 許 庁

JAPAN PATENT OFFICE

22.04.03

10/508776

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 3月27日

出 願 番 号

Application Number:

特願2002-087854

[ST.10/C]:

[JP2002-087854]

REC'D 13 JUN 2003

WIPO

PCT

出 願 人

Applicant(s):

松下電器産業株式会社

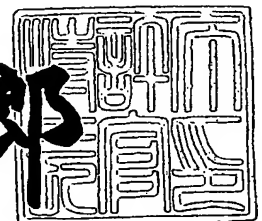
PRIORITY
DOCUMENT

SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

2003年 5月27日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



BEST AVAILABLE COPY

出証番号 出証特2003-3038805

【書類名】 特許願

【整理番号】 2142044001

【提出日】 平成14年 3月27日

【あて先】 特許庁長官殿

【国際特許分類】 H04N 5/205

【発明者】

 【住所又は居所】 香川県高松市古新町 8 番地の 1 松下寿電子工業株式会
社内

 【氏名】 岡部 吉正

【特許出願人】

 【識別番号】 000005821

 【氏名又は名称】 松下電器産業株式会社

【代理人】

 【識別番号】 100097445

 【弁理士】

 【氏名又は名称】 岩橋 文雄

【選任した代理人】

 【識別番号】 100103355

 【弁理士】

 【氏名又は名称】 坂口 智康

【選任した代理人】

 【識別番号】 100109667

 【弁理士】

 【氏名又は名称】 内藤 浩樹

【手数料の表示】

 【予納台帳番号】 011305

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9809938

【書類名】 明細書

【発明の名称】 画像処理方法および信号処理回路

【特許請求の範囲】

【請求項 1】 入力画像の少なくとも一部を記憶する第 1 の画像記憶手段と、少なくとも N 個の画素を記憶して同時に N 画素を読み出すことができる第 1 の一時記憶手段と、複数の入力の画素データを変換して出力画像の画素データを得る変換手段を用い、前記 N が 2 以上の整数であって、前記第 1 の一時記憶手段は記憶する N 画素を同時に変換手段に出力し、前記第 1 の画像記憶手段は入力画像の画素を水平または垂直の画素列に沿って読み出して出力し、前記第 1 の一時記憶手段は隣接する N 画素を出力するよう前記第 1 の画像記憶手段が出力する画素を用いて記憶内容を更新する画像処理方法において、前記第 1 の画像記憶手段は画素列の先頭の N 画素については、前記 N 画素を同時に出力する機能を備え、前記第 1 の一時記憶手段が入力画像の画素列の最後の画素を出力している時には、前記第 1 の画像記憶手段は次の画素列の先頭の N 画素を同時に読み出して出力し、前記第 1 の一時記憶手段は前記次の画素列の先頭の N 画素で全ての記憶内容を更新することにより、画素列の継ぎ目においても前記変換手段から途切れることなく有効な出力画像の画素を得られる事を特徴とする画像処理方法。

【請求項 2】 請求項 1 に記載の画像処理方法であって、前記第 1 の画像記憶手段を、入力画像の少なくとも一部を記憶して同時に P 画素を読み出すことができる第 2 の画像記憶手段と、Q 画素を記憶して同時に Q 画素を読み出すことができる第 2 の一時記憶手段と、によって実表し、前記 P は 2 以上、前記 Q は 1 以上であって、かつ $P + Q \geq N$ であり、前記第 1 の一時記憶手段が画素列の最後の画素を出力していない間に、前記第 2 の画像記憶手段は、次の画素列の先頭の Q 画素を読み出して出力し、前記第 2 の一時記憶手段は前記次の画素列の先頭の Q 画素を記憶し、前記第 1 の一時記憶手段が入力画像の画素列の最後の画素を出力している時には、前記第 2 の画像記憶と前記第 2 の一時記憶手段は合わせて N 画素を同時に出力する事を特徴とする画像処理方法。

【請求項 3】 請求項 1 または請求項 2 に記載の画像処理方法であって、前記

変換手段が出力画像の画素を1画素出力するのに要する周期を単位時間とした場合に、請求項1記載の前記第1の画像記憶手段または請求項2に記載の前記第2の画像記憶手段は、単位時間内に複数回の読み出しを行う機能を有し、請求項1または請求項2に記載の同時に複数画素を読み出す機能を単位時間内に複数回の読み出しを行うことによって実表することを特徴とする画像処理方法。

【請求項4】 請求項1または2または3記載の画像処理方法であって、前記変換手段の入力が前記第1の画像記憶手段の出力を含むことを特徴とする信号処理回路。

【請求項5】 入力画像の少なくとも一部を記憶する画像記憶手段と、少なくとも $(N-1)$ 本の画素列の画素を記憶して前記画素列と直角な方向に隣接する $(N-1)$ 画素を、同時に読み出すことができる第1の一時記憶手段と、複数の画素データを入力とする変換を行って出力画像の画素データを得る変換手段を用い、前記 N が2以上の整数であって、前記変換手段は前記第1の一時記憶手段の出力または前記画像記憶手段の出力を入力とし、前記第1の一時記憶手段は前記画像記憶手段の出力する画素を用いて記憶内容を更新する画像処理方法であって、前記変換手段が出力画像の画素を1画素出力する周期を単位時間とした時に、前記画像記憶手段は画像の先頭の列を読み出す際には、前記画素列と直角な方向に並ぶ1列目から N 列目までの N 画素を一組として読み出す操作を前記単位時間毎に読み出し位置を列方向に増しつつ繰り返し、画像の先頭から $(N+1)$ 列目以降を読み出す際には、画素列の方向に沿って順次画素を読み出すことにより、入力画像の終りと次の入力画像の先頭の間の継ぎ目においても、前記変換手段から途切れることなく有効な出力画像の画素を得られる事を特徴とする画像処理方法。

【請求項6】 入力画像の少なくとも一部を記憶する画像記憶手段と、少なくとも N 本の画素列の画素を記憶して前記画素列と直角な方向に隣接する N 画素を同時に読み出すことができる第1の一時記憶手段と、前記第1の一時記憶手段が出力する N 画素を入力として出力画像の画素データを得る変換手段と、を用い、前記 N が2以上の整数であって、前記変換手段は前記第1の一時記憶手段の出力または前記画像記憶手段の出力を入力とし、前記第1の一時記憶手段は前記画像

記憶手段の出力する画素を用いて記憶内容を更新する画像処理方法であって、前記変換手段が出力画像の画素を1画素出力する周期を単位時間とした時に、前記画像記憶手段は少なくとも単位時間当たり $(N/2)$ 画素を出力する機能を有し、前記画像記憶手段は、前記第1の一時記憶手段が入力画像の最後の N 列の画素を出力している期間内に次の入力画像の画素の出力を開始することにより、入力画像の終りと次の入力画像の先頭の間の継ぎ目においても、前記変換手段から途切れることなく有効な出力画像の画素を得られる事を特徴とする画像処理方法。

【請求項7】 請求項6に記載の画像処理方法であって、前記第1の一時記憶手段は出力する画素の列方向の読み出し位置を前記画像記憶手段に通知する機能を有し、前記画像記憶手段は、出力する画素の列方向の読み出し位置が前記通知された前記第1の一時記憶手段の読み出し位置を越えないよう制御することを特徴とする画像処理方法。

【請求項8】 入力画像の少なくとも一部を記憶する画像記憶手段と、 N 列の画素を記憶する第1の一時記憶手段と、前記第1の一時記憶手段が出力する画素データを変換して出力画像の画素を得る変換手段を備え、前記 N が2以上の整数であって、前記第1の一時記憶手段は記憶する N 列の画素について各々、列方向に隣接する M 画素、都合 $(N \times M)$ 個の画素を同時に読み出す機能を有し、また、前記第1の一時記憶手段は前記 $(N \times M)$ 画素の読み出し位置を列方向に増しつつ変化させ、画素列の最後の画素を読み出した時には読み出し位置を列の先頭に戻す画像処理方法であって、前記変換手段が出力画像の画素を出力する周期を単位時間としたときに、前記画像記憶手段は複数の画素を前記単位時間内に出力する機能を有し、前記第1の一時記憶手段は前記画像記憶手段の出力する複数の画素を用いて前記単位時間毎に記憶内容を更新する機能を有するものであり、前記画像記憶手段は画像の先頭の列を読み出す際には、前記画素列と直角な方向に並ぶ1列目から N 列目までの N 画素を一組として読み出しを行い、画像の先頭から $(N+1)$ 列目以降を読み出す際には、画素列の方向に沿って順次画素を読み出すことにより、入力画像の列と列の継ぎ目、および、入力画像の終りと次の入力画像の先頭の間においても、前記変換手段から途切れることなく有効な出力画像の画素を得られる事を特徴とする画像処理方法。

【請求項9】 請求項8に記載の画像処理方法であって、請求項8に記載の第1の一時記憶手段を、少なくとも $(N \times (M-1))$ 個の画素を記憶して同数の画素を同時に出力可能である第2の一時記憶手段と、N列の画素を記憶してN個の画素を同時に出力可能である第3の一時記憶手段を組み合わせることによって実表し、前記第3の一時記憶手段は少なくとも各列の先頭のM画素については同時に読み出し可能であり、前記第2の一時記憶手段が列の最後の画素を出力した時には、前記第3の一時記憶手段は単位時間内に次のN列について各々先頭のM画素を同時に出力し、前記第2の一時記憶手段は前記第3の一時記憶手段の出力により記憶内容を全て更新し、前記第3の一時記憶手段は各列の先頭から $(M+1)$ 画素以降を出力する時にはN列について各々1画素ずつ出力することを特徴とする画像処理方法。

【請求項10】 請求項9に記載の画像処理方法であって、請求項9に記載の第3の一時記憶手段を、少なくとも $(N \times (M-1))$ 個の画素を記憶して同数の画素を同時に出力可能である第4の一時記憶手段と、1列の画素数がLである時に少なくとも $(N \times (L-M+1))$ 個の画素を記憶してN個の画素を同時に出力可能である第5の一時記憶手段を組み合わせることによって実表し、前記第3の一時記憶手段が各列の先頭から $(M-1)$ 番目までの画素を記憶する際には前記第4の一時記憶手段が記憶し、前記第3の一時記憶手段が各列の先頭からM番目以降の画素を記憶する際には前記第5の一時記憶手段が記憶し、前記第3の一時記憶手段が各列の先頭のM画素を同時に出力する際は前記第4の一時記憶手段と前記第5の一時記憶手段を同時に読み出し、前記第3の一時記憶手段が各列の先頭から $(M+1)$ 番目以降の画素を出力する際には前記第5の一時記憶手段のみを読み出すことを特徴とする画像処理方法。

【請求項11】 入力データを変換して出力データを得る演算回路と、前記演算回路にクロックを供給するクロック制御回路と、を用いる信号処理回路であって、前記クロック制御回路は前記入力データが有効か否かを監視する機能を有し、前記入力データでない場合は前記演算回路にクロックを供給しないことを特徴とする信号処理回路。

【請求項12】 請求項11記載の信号処理回路であって、前記演算回路は複

数の入力データを変換するものであり、前記クロック制御回路は入力データの一部が有効でない場合にも前記演算回路にクロックを供給しないことを特徴とする信号処理回路。

【請求項13】 請求項12記載の信号処理回路であって、前記入力データは画像データであり、前記演算回路が連続するN本の画素列上にある複数の画素を変換して出力の画素を生成する処理を行うものであって前記Nは1以上の整数であり、前記演算回路の入力データが、連続するN本の画素列上に無い画素のデータを含む場合にも、前記クロック制御回路は前記演算回路にクロックを供給しないことを特徴とする信号処理回路。

【請求項14】 請求項11または請求項12または請求項13記載の信号処理回路であって、前記クロック制御回路は前記演算回路の入力の変化を監視する機能を有し、前記前記演算回路の入力が変化しない場合にも前記演算回路にクロックを供給しないことを特徴とする信号処理回路。

【請求項15】 一つの画素列の画素数がK画素である画像を変換して出力画像を得ることが可能な変換手段と、入力画像のうち少なくとも一部を記憶する画像記憶手段と、を用いる信号処理であって、前記変換手段の入力は前記画像記憶手段の出力であり、前記Kは2以上の整数であり、前記画像記憶手段が入力画素を読み出す際に、ラインと直角な方向に隣接するK画素を順次読み出す処理を、読み出し開始位置をライン方向に増加させつつ入力画像のラインの終りに達するまで繰り返し、前記のK画素の読み出しをラインの終りに達するまで繰り返す一連の処理を、読み出し開始位置をラインと直角な方向に増加させつつ繰り返すことにより、入力画像全体を変換することを特徴とする画像処理方法。

【請求項16】 請求項15記載の画像処理方法であって、画像記憶手段は少なくともKラインの画素を記憶する容量を備え、前記容量が入力画像全体の容量より小さいことを特徴とする画像処理方法。

【請求項17】 請求項15または請求項16に記載の画像処理方法であって、前記変換手段が入力順の画素列内の隣接するN画素を入力として出力画素を生成するものであり、前記Nが1以上の整数であって、前記のK画素の読み出しをラインの終りに達するまで繰り返す一連の処理を、読み出し開始位置をラインと

直角な方向に $(K - N + 1)$ ラインずつ増加させつつ繰り返す事を特徴とする画像処理方法。

【請求項 18】 請求項 15 または請求項 16 または請求項 17 記載の画像処理方法であって、前記画像変換手段が請求項 1 または請求項 2 または請求項 3 または請求項 4 記載または請求項 5 または請求項 6 または請求項 7 または請求項 8 記載または請求項 9 または請求項 10 に記載の画像処理方法を用いる事を特徴とする画像処理方法。

【請求項 19】 一つの画素列の画素数が L 画素である画像を変換して出力画像を得ることが可能な変換手段と、入力画像のうち少なくとも一部を記憶する画像記憶手段と、を用いる信号処理であって、前記変換手段の入力は前記画像記憶手段の出力であり、前記 L は 2 以上の整数であり、前記画像記憶手段は入力画素を読み出して前記変換手段に出力する際に、ライン方向に隣接する L 画素を順次読み出して前記画素変換手段に出力する操作を、読み出し開始位置をラインと直角な方向に増加させつつ K ラインについて繰り返し、前記の都合 $(L \times K)$ 画素を読み出して前記画素変換手段に出力する一連の操作を、読み出し開始位置をライン方向に増加させながら、入力画像のラインの終りに達するまで繰り返し、前記の $(L \times K)$ 画素の転送をラインの終りに達するまで繰り返す一連の操作を、読み出し開始位置をラインと直角な方向に増加させつつ繰り返すことにより、入力画像全体を変換することを特徴とする画像処理方法。

【請求項 20】 請求項 19 記載の画像処理方法であって、前記画像記憶手段は少なくとも K ラインの画素を記憶する容量を備え、前記容量が入力画像全体の容量より小さいことを特徴とする画像処理方法。

【請求項 21】 請求項 19 または請求項 20 に記載の画像処理方法であって、前記変換手段が入力順の画素列内の隣接する M 画素を入力として出力画素を生成するものであり、前記 M が 1 以上の整数であって、前記の都合 $(L \times K)$ 画素を読み出して前記画素変換手段に転送する一連の処理の読み出し開始位置をライン方向に増加させる際に、 $(L - M + 1)$ 画素ずつ増加させる事を特徴とする画像処理方法。

【請求項 22】 請求項 19 または請求項 20 に記載の画像処理方法であって

、前記変換手段が入力順の画素列と直角な方向に隣接して並ぶ N 画素を入力として出力画素を生成するものであり、前記の $(L \times K)$ 画素の転送をラインの終りに達するまで繰り返す一連の処理を、読み出し開始位置をラインと直角な方向に $(K - N + 1)$ ラインずつ増加させつつ繰り返す事を特徴とする画像処理方法。

【請求項 2 3】 請求項 1 9 または請求項 2 0 に記載の画像処理方法であって、前記画像変換手段が入力順の画素列の方向に M 画素、前記入力順の画素列と直角な方向に N 画素の矩形領域に並ぶ画素を入力として出力画素を生成するものであり、前記の都合 $(L \times K)$ 画素を読み出して前記画像変換手段に転送する一連の処理の読み出し開始位置をライン方向に増加させる際に $(L - M + 1)$ 画素ずつ増加させ、前記の $(L \times K)$ 画素の転送をラインの終りに達するまで繰り返す一連の処理を、読み出し開始位置をラインと直角な方向に $(K - N + 1)$ ラインずつ増加させつつ繰り返す事を特徴とする画像処理方法。

【請求項 2 4】 請求項 1 9 または請求項 2 0 または請求項 2 1 または請求項 2 2 または請求項 2 3 に記載の画像処理方法であって、前記画像変換手段が請求項 1 または請求項 2 または請求項 3 または請求項 4 に記載または請求項 5 または請求項 6 または請求項 7 または請求項 8 に記載または請求項 9 または請求項 1 0 に記載の画像処理方法を用いる事を特徴とする画像処理方法。

【請求項 2 5】 入力画像の少なくとも一部を記憶する画像記憶手段と、前記画像記憶手段に入力画像を転送する転送手段と、前記画像記憶手段が出力する画素を変換して出力画像の画素を得る変換手段と、を用いる信号処理手段であり、前記画像記憶手段は入力画像を K ラインを単位として読み出すものであって前記 K は 2 以上の整数であり、前記画像記憶手段は前記 K ラインを単位とする読み出しの開始位置をラインと直角な方向に $(K - N + 1)$ ラインずつ増加させつつ繰り返すものであって前記 N は 1 以上の整数であり、前記転送手段は前記画像記憶手段に転送済みの入力画像のライン数を通知する手段を有し、前記画像記憶手段は前記転送済みのライン数と直前の K ライン単位の変換で読み出したラインの上限との距離を求める手段を有し、前記距離が $(K - N + 1)$ 未満である時には前記 K ライン単位の読み出しを開始しない事を特徴とする画像処理方法。

【請求項 2 6】 請求項 2 5 に記載の画像処理方法であって、前記画像記憶手段

はKラインを単位とする読み出しの開始位置を前記転送手段に通知する機能を有し、前記転送手段は前記開始位置を越える位置の画素を転送しない事を特徴とする画像処理方法。

【請求項27】 請求項25または請求項26記載の画像処理方法であって、前記画像記憶手段は少なくとも $(2K - N + 1)$ ラインの画素を記憶する容量を備え、入力画像の転送と画像の変換が同時に行なえることを特徴とする画像処理方法。

【請求項28】 請求項25または請求項26または請求項27記載の画像処理方法であって、前記変換手段が請求項15または請求項16または請求項17または請求項18または請求項19または請求項20または請求項21または請求項22または請求項23または請求項24に記載の画像処理方法を用いる事を特徴とする画像処理方法。

【請求項29】 請求項25または請求項26または請求項27または請求項28記載の画像処理方法を用いた信号処理回路であって、前記変換手段は請求項11または請求項12または請求項13または請求項14に記載のクロック制御回路と、前記クロック制御回路からクロックの供給を受ける演算回路を有し、前記クロック制御回路は前記Kライン単位の変換を開始しない場合にも前記演算回路へのクロックの供給を停止することを特徴とする信号処理回路。

【請求項30】 出力画像の少なくとも一部を記憶する画像記憶手段と、入力画像の画素を変換して得た出力画像の画素を前記画像記憶手段に出力する変換手段と、前記第1の画像記憶が読み出した出力画像の画素を転送する転送手段と、を用いる画像処理方法であって、前記変換手段は出力画像をJライン単位で出力するものであって前記Jは2以上の整数であり、前記画像記憶手段はJライン単位の出力画像の書込み終了位置と、前記転送手段への読み出し位置とに挟まれた記録余地を求める手段を有し、前記変換手段は前記記録余地がJライン未満である場合には、入力画像の変換を開始しない事を特徴とする画像処理方法。

【請求項31】 請求項30記載の画像処理方法であって、前記画像記憶手段は前記転送手段への読み出し位置とJライン単位の出力画像の書込み終了位置および出力画像の書込み開始位置とを比較する手段を有し、Jライン単位の変換と

書込みが行われている期間では前記出力画像の書込み開始位置を越えないよう前記転送手段への読み出し位置を制御し、Jライン単位の変換と書込みが行われていない期間では、直前のJライン単位の出力画像の書込み終了位置を越えないよう前記転送手段への読み出し位置を制御することを特徴とする画像処理方法。

【請求項32】 請求項30または請求項31記載の画像処理方法であって、前記画像記憶手段は少なくとも2Jラインの画素を記憶する容量を備え、画像の変換と出力画像の転送とを同時に行なえることを特徴とする画像処理方法。

【請求項33】 請求項30または請求項31または請求項32記載の画像処理方法であって、前記変換手段が請求項15または請求項16または請求項17または請求項18または請求項19または請求項20または請求項21または請求項22または請求項23または請求項24に記載の画像処理方法を用いる事を特徴とする画像処理方法。

【請求項34】 請求項30または請求項31または請求項32または請求項33に記載の画像処理方法を用いた信号処理回路であって、前記変換手段は請求項11または請求項12または請求項13または請求項14に記載のクロック制御回路と、前記クロック制御回路からクロックの供給を受ける演算回路を有し、前記クロック制御回路は前記Jラインを単位とする画像出力を開始しない場合にも前記演算回路へのクロックの供給を停止することを特徴とする信号処理回路。

【請求項35】 出力画像の少なくとも一部を記憶する記憶手段と、前記記憶手段が出力する入力画像の画素を入力として変換を行い、変換後の出力画素を前記記憶手段に記録する変換手段と、を用い、前記記憶手段は入力画像をKライン単位で読み出して出力する操作を繰り返し、変換手段は入力画像がKライン入力される毎にJラインの出力画像を生成する画像処理方法であり、前記KまたはJは1以上の整数であり、前記記憶手段がKライン単位で入力画像の画素を読み出した領域に、次の回で生成されたJラインの出力画像の画素を上書きして記録することを特徴とする画像処理方法。

【請求項36】 請求項35記載の画像処理方法であって、前記記憶手段に入力画像を記録する第1の転送手段と、前記記憶手段より出力画像を読み出す第2の転送手段とを備え、前記記憶手段の記憶容量が、入力画像全体または出力画像

全体の容量より小さいことを特徴とする画像処理方法。

【請求項 3 7】 請求項 3 6 記載の画像処理方法であって、前記記憶手段が少なくとも $(K + 2J)$ ラインの画素を記憶する容量を備え、入力画像の転送と画像の変換と出力画像の転送を同時に行なえることを特徴とする画像処理方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は画像処理に関するものであり、特にデジタルカメラやデジタルビデオなどの携帯型デジタル画像入力装置への応用に適するものである。

【0 0 0 2】

【従来の技術】

信号処理を行う機器の一例としてデジタルカメラを挙げれば、撮像回路は光を三原色に分解してデジタル化した RGB データを出力し、信号処理回路は RGB データを YC データに変換し、輝度補正、色補正、拡大・縮小を施した上で、JPEG データに変換し、IC メディアに書き込んで一枚の撮影動作が終わる。この時、変換や補正や拡大・縮小を行う信号処理回路を一般化して図示したものが図 1 3 である。図 1 3 において信号処理回路は画像メモリ 4 0 と垂直フィルタ 4 7 と水平フィルタ 4 8 により構成されており、垂直フィルタ 4 7 はラインメモリ 4 5 とラインメモリ 4 6、乗算器 5 1、乗算器 5 2、乗算器 5 3 と加算器 5 4 により構成されており、水平フィルタ 4 8 はレジスタ 1 1 とレジスタ 1 2、乗算器 5 5、乗算器 5 6、乗算器 5 7 と加算器 5 8 により構成されている。この例では垂直フィルタ 4 7 の出力が水平フィルタ 4 8 の入力となっているが、処理順が逆の場合もある。

【0 0 0 3】

垂直フィルタ 4 7 においてラインメモリ 4 5 とラインメモリ 4 6 は画像メモリ 4 0 が出力する入力画像の画素を 1 ラインの時間だけ遅延させて、画面上で垂直方向に隣接する三つの画素のデータを同時に乗算器 5 1、乗算器 5 2、乗算器 5 3 に出力する為の遅延回路であり、1 ラインの遅延時間を得るために 1 ラインのクロック数分の画素を記憶する容量を持つ。乗算器 5 1、乗算器 5 2、乗算器 5

3の出力は加算器54で合計されて水平フィルタ48に出力される。同様に、水平フィルタにおいてレジスタ11とレジスタ12は入力画素を1クロックだけ遅延させて、画面上でライン方向に隣接する三個の画素データを同時に乗算器55、乗算器56、乗算器57に出力する為の遅延回路であり、乗算器55、乗算器56、乗算器57の出力は加算器58で合計されて画像メモリ40に出力される。

【0004】

画像メモリから読み込まれる入力データには有効画素区間と無効データ区間があり、1ラインの有効画素区間と次のラインの有効画素区間との間の区間を水平ブランキング期間、1画面の最終ラインと次の1画面の先頭ラインとの間の区間が垂直ブランキング期間と呼ばれる。このように信号処理回路の入力が無効データ区間を持つために、信号処理回路の出力も無効データ区間を持つ。垂直フィルタの出力は三つの乗算器の入力が全て有効なデータである時だけ有効なデータを出力するので、垂直フィルタを通過すると垂直の無効データ区間は2ライン増える。同様に水平フィルタを通過するとライン間の無効データ区間は水平方向に2画素増える。

【0005】

【発明が解決しようとする課題】

ここでは簡単のため、水平3タップ、垂直3タップの処理回路の例を紹介しているが、これが一般的で理想的な構成である、という訳ではない。例えば画像の高周波成分を抑制する処理では、十分な抑圧効果を得る為に5～7タップ以上のトランスバーサルフィルタを用いるのが適当であり、自然な画像を得る為には水平方向と垂直方向に同等の処理を施すべきである、とされている。

【0006】

しかしリアルタイムの画像処理システムにおいて処理に必要なハードウェアのコストを前提に検討すると最適とされる解は違ってくる。ライン方向のPタップの処理には(P-1)段のシフトレジスタを設ければよいのに対し、ラインに垂直な方向のPタップの処理には、(P-1)本のラインメモリを必要とする。1ラインの周期をQクロック、1画素がRビットであるとする、一本のラインメ

メモリに必要な記憶容量は $(P-1) \times Q \times R$ ビットとなる。近年のデジタルカメラやデジタルテレビでは、画質を追求する為に水平方向、垂直方向の画素数を増やすと同時に画素データのビット数を増やして量子化誤差を抑圧する方向にあり、その為に必要なラインメモリの容量は増大する一方であるが、他方ではシステムのコストダウンも求められているため、折衷策として垂直方向は3タップ程度にしてラインメモリの本数を減らし、更にR、G、B各10ビットの信号を各8ビットのY、Cr/Cb信号に変換してから処理する事により画素当たりのビット数を減らす、というような手段によってラインメモリの容量を抑制したシステム構成が一般に行われている。

【0007】

このような折衷的な構成では、水平方向と垂直方向で処理内容が異なるために出力画像が不自然になることがあり、画素当たりのビット数を減らす為の処理は色信号の解像度劣化や妨害などの画質劣化を招くことがある。また、近年のデジタルカメラのような著しい多画素化の中では、増大するCCDの走査線数に対してテレビ出力の走査線数は変わらないために1600対480といった高い倍率の縮小処理が必要になり、従来の3タップ程度の垂直フィルタでは間に合わない状況が出てきている。高画質化の要求に応じて前出の画質劣化や妨害を低減する為には、従来の姑息的なラインメモリ容量の抑制策を廃してラインメモリの本数を増やすべきであるが、そうすればラインメモリの本数増とライン当たりの画素増の積によりラインメモリの容量が著しく増大し、システムのコストを押し上げてしまうのが実情である。

【0008】

更に、画素数の少ない低価格機と画素数の多い高級機とでLSIを共用化できない事も問題である。LSIの開発には必要な多大の人的、金銭的な資源を必要とするので、LSIの品種数は少ない方が望ましいが、画素数の少ない低価格機と画素数の多い高級機とでLSIを共用化する場合はラインメモリの容量を高級機に合わせる必要があるので、低価格機に求められるコスト水準とは合わなくなってしまう。

【0009】

また、従来の画像処理方法は処理時間の面と消費電力の面でも課題を抱えている。図 1 3 の信号処理回路の入力には 1 ライン毎に水平ブランキング期間が挿入され、1 フィールド毎に垂直ブランキング期間が挿入されている。この水平と垂直のブランキング期間のデータは最終的に表示されない無効なデータであり、その比率は N T S C 方法の映像信号の場合で 1 画像中の 1 5 % に達する。この無効データ期間中に信号処理回路が消費している時間は無駄であり、この時間中に信号処理回路が消費している電力も無駄である。しかし、図 1 3 に示す従来の画像処理方法では、ラインメモリで水平ブランキング期間を含めた 1 ラインの遅延時間を作る必要があるため、ブランキング期間の分の処理時間を短縮することもできないし、この間に消費される電力を削減することもできない。

【 0 0 1 0 】

また、特に携帯機器に適用する画像処理方法では、必要とする画像メモリの容量が小さいものが求められる。一例として入力画像をラインに直角な境界線に沿って縦長な短冊状の小画面に分割し、それぞれを処理する方法を採れば、水平画素数の小さい画像として扱えるためラインメモリの容量は小さくできる。しかし、この方法では処理を開始する前に画像メモリに入力画像全体を記憶する必要があり、出力画像が短冊状の小画像の形で生成されるので線順次で読み出す為には出力画像全体も画像メモリの独立した領域に並べて一枚の画像に再構成する必要がある。そのため、ラインメモリの容量が削減できても、全体として必要なメモリの総ビット数は増えてしまう。

【 0 0 1 1 】

この例のような方法では入力画像を小さく分割するほどラインとラインの境界、または小画面と小画面の境界で発生する電力と処理時間の損失が増加する問題がある。前述のように図 1 3 の回路で垂直フィルタを通すと 1 画面毎に無効データ区間が 2 ライン増え、水平フィルタを通すと 1 ライン毎に無効データ区間が 2 画素増える。ラインメモリを短くする為に入力画像を小画像に分割して処理すれば、画面数が増えるために垂直フィルタで発生する無効なラインの数が増え、総ライン数が増えるために水平フィルタで 1 ライン毎に発生する無効データ区間の総量が増える。水平・垂直のブランキング期間と同様に、これらの無効データ区

間でも信号処理回路は電力と時間を消費しているので、入力画像を細かく分割するほど消費電力は増し、処理時間は長くなる。

【 0 0 1 2 】

本発明は上記課題に鑑み、入力画像を小画像に分割して処理することにより短いラインメモリを持つ信号処理回路で任意の大きさの画像を処理可能であり、小画像のライン数を所定の値に制限して入力画像が小画像のライン数だけ記憶手段に貯えられる毎に処理を行うことにより入力画像全体より小さい容量の記憶手段を用いて動作することが可能であり、変換回路が無効なデータを出力することが無いので入力画像を小画像に分割して処理しても処理時間と消費電力が増加しない画像処理方法および信号処理回路を提供するものである。

【 0 0 1 3 】

【課題を解決するための手段】

本発明は上記課題を解決するために、入力画像を記憶する記憶手段と、複数の画素を同時に読み出すことができる一時記憶手段と、画素を変換する変換手段と、画素の読み出しと転送を行う転送手段と、前記変換手段にクロックを供給するクロック制御回路またはクロック制御手段を備え、転送手段は入力画像を小入力画像に分割して読み出し、転送手段と一時記憶手段はラインとラインの継ぎ目および入力画像と次の入力画像の間においても変換手段の入力を常に有効な画素データで満たすことにより変換手段が常に有効な出力の画素データを出力し続けるよう動作し、クロック制御回路またはクロック制御手段は変換手段の入力に有効な画素データが揃わない期間と、記憶手段に小画像のライン数分の入力画像がない場合には変換手段に供給するクロックを停止することを特徴とする画像処理方法または信号処理回路であり、入力画像を小画像に分割して処理することにより短いラインメモリを持つ信号処理回路で任意の大きさの画像を処理可能であり、小画像のライン数を所定の値に制限して入力画像が小画像のライン数だけ記憶手段に貯えられる毎に処理を行うことにより入力画像全体より小さい容量の記憶手段を用いて動作することが可能であり、変換回路が無効なデータを出力することが無いので入力画像を小画像に分割して処理しても処理時間と消費電力が増加しないことを特徴とするものである。

【0014】

【発明の実施の形態】

本発明の請求項1に記載の発明は、入力画像を記憶する画像記憶手段と、少なくともN個の画素を記憶して同時にN画素を読み出すことができる第1の一時記憶手段と、前記画像記憶手段から入力画像を順次読み出して前記第1の一時記憶手段に記憶せしめる転送手段と、前記第1の一時記憶手段が出力するN画素の画素データを変換して出力画像の画素を1画素の得る変換手段を用い、前記Nが2以上の整数であって、前記転送手段が画像記憶手段より入力画像の画素をライン方向に沿った順で順次前記第1の一時記憶手段に転送し、前記第1の一時記憶手段は隣接するN画素を出力するよう記憶内容を更新することにより、前記変換手段が出力画像の画素をライン方向に沿って順次出力するライン内の信号処理において、前記画像記憶手段がN画素を同時に出力する能力を備え、前記第1の一時記憶手段が入力画像の1ラインの最後のN画素を記憶している時には、前記転送手段は前記画像記憶手段から次のラインの先頭の少なくともN個の画素を同時に読み出して前記第1の一時記憶手段に転送することにより、ラインと次のラインの継ぎ目においても前記変換手段から途切れることなく有効な出力画像の画素を得られる事の特徴とする画像処理方法であり、ライン方向に沿って隣接する画素を変換する信号処理において、無効なデータを出力する期間を無くすことにより処理時間を短縮し、信号処理回路の動作回数を減らすことで消費電力を削減できる、という作用を有する。

【0015】

本発明の請求項2に記載の発明は、入力画像を記憶し、P個の画素を同時に読み出すことが出来る画像記憶手段と、少なくともN個の画素を記憶して同時にN画素を読み出すことができる第1の一時記憶手段と、少なくともQ個の画素を記憶して同時にQ画素を読み出すことができる第2の一時記憶手段と、前記画像記憶手段から前記第1の一時記憶手段または前記第2の一時記憶手段への画素データの転送と、前記第2の一時記憶手段から前記第1の一時記憶手段への画素データの転送とを行う転送手段と、前記第1の一時記憶手段が出力するN画素の画素データを変換して出力画像の画素を1画素の得る変換手段を用い、前記N及びP

が2以上の整数、前記Qが1以上の整数であり、かつ $P+Q \geq N$ であって、前記第1の一時記憶手段が入力画像の1ラインの最後のN画素を記憶していない時に、前記転送手段は前記画像記憶手段から前記ライン内の画素と、次のラインの先頭からQ画素目までの画素を読み出して各々前記第1の一時記憶手段と前記第2の一時記憶手段に転送し、前記前記第1の一時記憶手段が入力画像の1ラインの最後のN画素を記憶している時には、前記転送手段は前記画像記憶手段または前記第2の一時記憶手段が記憶する次のラインの先頭の少なくともN個の画素を同時に読み出して前記第1の一時記憶手段に転送することにより、ラインと次のラインの継ぎ目においても前記変換手段から途切れることなく有効な出力画像の画素を得られる事を特徴とする画像処理方法であり、前項の処理方法の実現に必要な入力画像を記憶してN個の画素を同時に読み出し可能な記憶手段を、P個の画素を同時に出力可能な大容量の記憶手段と $(N-P)$ 個の画素を同時に出力可能な小容量の一時記憶手段の組み合わせによって実表することにより、前記大容量の記憶手段としてメモリ帯域幅が狭く、従ってより低コストな記憶手段を用いることが可能になる、という作用を有する。

【0016】

本発明の請求項3に記載の発明は、請求項1または請求項2記載の画像処理方法を用い、前記一時記憶手段はN段のロード機能付きシフトレジスタにより実表し、ラインの先頭のN画素を記憶する際にはロード機能を用いて全ての記憶内容を更新し、ラインのN+1画素目以降を記憶する際にはシフト機能を用いて記憶内容を1画素ずつ更新することを特徴とする信号処理回路であり、ラインのN+1画素目以降を記憶する際には1画素ずつ読み出すことによって、この間の読み出しに伴う消費電力を削減できる、という作用を有する。

【0017】

本発明の請求項4に記載の発明は、請求項1または請求項2または請求項3に記載の画像処理方法または信号処理回路であって、請求項1または請求項2または請求項3に記載の変換手段が出力画像の画素を1画素出力するのに要する周期を単位とした場合に、画像記憶手段または第1の一時記憶手段または第2の一時記憶手段は、1単位時間内に複数回、読み出し可能であり、請求項1または請求

項2または請求項3に記載の同時に複数画素を読み出す機能を単位時間内に複数回、読み出しを行うことによって実表することを特徴とする画像処理方法または信号処理回路であり、複数の画素を同時に読み出す機能を、複数回の読み出しを単位時間内に行うことで実表することにより、より信号線が少なく、より少ないコストで回路を実現できる、という作用を有する。

【0018】

本発明の請求項5に記載の発明は、入力画像を記憶する画像記憶手段と、Nラインの画素を記憶して同時にN画素を読み出すことができる第1の一時記憶手段と、前記画像記憶手段から入力画像を順次読み出して前記第1の一時記憶手段に記憶せしめる転送手段と、前記第1の一時記憶手段が出力するN画素の画素データを変換して出力画像の画素を1画素の得る変換手段を用い、前記Nが2以上の整数であって、前記転送手段が画像記憶手段より入力画像の画素をライン方向に沿う順で順次前記第1の一時記憶手段に転送し、前記第1の一時記憶手段は最も最近に転送されたNラインの画素を記憶すると同時にラインに垂直な方向に隣接する位置のN個の画素を出力し、前記変換手段が出力画像の画素をライン方向に沿って順次出力するライン間の信号処理において、前記第1の一時記憶手段が入力画像の最後のNラインの画素を全部記憶した時点から前記第1の一時記憶手段の記憶内容が次の入力画像の先頭のNラインの画素に置き換わるまでの期間においては、前記転送手段は前記画像記憶手段から次の入力画像の先頭のNラインの画素をラインに垂直な方向に隣接する位置のN個の画素を一組として読み出して前記第1の一時記憶手段に転送し、前記第1の一時記憶手段はラインに垂直な方向に隣接する位置のN個の画素を一組として記憶する画素を最新のものに更新することにより、入力画像の終りと次の入力画像の先頭の間の継ぎ目においても、前記変換手段から途切れることなく有効な出力画像の画素を得られる事を特徴とする画像処理方法であり、ライン方向に直角に沿って隣接する画素を変換する信号処理においても、無効なデータを出力する期間を無くすことにより処理時間を短縮し、信号処理回路の動作回数を減らすことで消費電力を削減できる、という作用を有する。

【0019】

本発明の請求項 6 に記載の発明は、請求項 5 に記載の画像処理方法であって、前記転送手段は前記画像記憶手段の出力によって更新する画素の水平位置と、前記第 1 の一時記憶手段が出力する画素の水平位置を独立に制御可能であり、前記更新する画素の水平位置が前記出力する画素の水平位置と交錯しないように前記画像記憶手段から前記第 1 の一時記憶手段への転送と前記第 1 の一時記憶手段から前記変換手段への出力を制御することを特徴とする画像処理方法であり、前記画像記憶手段の画素更新位置と読み出し位置を交錯を避けつつ独立して制御することにより画素更新の時間的余裕を広げ、これによりメモリ帯域幅が狭く、従ってより低コストな記憶手段を用いることが可能になる、という作用を有する。

【0020】

本発明の請求項 7 に記載の発明は、請求項 5 または請求項 6 に記載の画像処理方法であって、前記変換手段が出力画像の画素を 1 画素出力するのに要する周期を単位とした場合に、前記画像記憶手段は少なくとも $(N/2)$ 個以上の画素を 1 単位時間内に読み出し可能であり、前記第 1 の一時記憶手段が入力画像の最後のラインの先頭の画素を出力する時点から次の入力画像の先頭ラインの最後の画素を出力するまでの 2 ラインの期間内に、前記第 1 の一時記憶手段が記憶する N ラインの画素を全て更新することを特徴とする画像処理方法であり、 N ライン分の画素の更新に許される期間を 2 ラインの期間に広げることにより、メモリ帯域幅が狭く、従ってより低コストな記憶手段を用いて実現できる、という作用を有する。

【0021】

本発明の請求項 8 に記載の発明は、入力画像を記憶する画像記憶手段と、 N ラインの画素を記憶する第 1 の一時記憶手段と、前記画像記憶手段から入力画像を順次読み出して前記第 1 の一時記憶手段に記憶せしめる転送手段と、前記第 1 の一時記憶手段が出力する画素データを変換して出力画像の画素を 1 画素の得る変換手段を備え、前記 N が 2 以上の整数であって、第 1 の一時記憶手段は N ラインについて各々ライン方向に隣接する M 画素を同時に読み出す機能を有し、前記変換手段は前記第 1 の一時記憶手段が出力する都合 $(N \times M)$ 個の画素を変換して出力画像の画素を 1 画素の得る二次元の変換機能を有し、前記転送手段が画像記

憶手段より入力画像の画素をライン方向に沿う順で順次前記第1の一時記憶手段に転送し、前記第1の一時記憶手段は最も最近に転送されたNラインの画素を記憶すると同時にラインに垂直な方向に隣接する位置のN個の画素を出力し、前記変換手段が出力画像の画素をライン方向に沿って順次出力する二次元の信号処理において、前記第1の一時記憶手段が入力画像の最後のNラインの画素を全部記憶した時点から前記第1の一時記憶手段の記憶内容が次の入力画像の先頭のNラインの画素に置き換わるまでの期間においては、前記転送手段は前記画像記憶手段から次の入力画像の先頭のNラインの画素をラインに垂直な方向に隣接する位置のN個の画素を一組として読み出して前記第1の一時記憶手段に転送し、前記第1の一時記憶手段はラインに垂直な方向に隣接する位置のN個の画素を一組として記憶する画素を最新のものに更新することにより、入力画像の終りと次の入力画像の先頭の間の継ぎ目においても、前記変換手段から途切れることなく有効な出力画像の画素を得られる事を特徴とする画像処理方法であり、ライン方向とライン方向に直角な方向の処理を行う二次元の信号処理においても、無効なデータを出力する期間を無くすことにより処理時間を短縮し、信号処理回路の動作回数を減らすことで消費電力を削減できる、という作用を有する。

【0022】

本発明の請求項9に記載の発明は、請求項8に記載の画像処理方法であって、請求項8に記載の第1の一時記憶手段を、少なくとも $(N \times (M-1))$ 個の画素を記憶して同数の画素を同時に出力可能である第2の一時記憶手段と、Nラインの画素を記憶してN個の画素を同時に出力可能である第3の一時記憶手段を組み合わせることによって実表し、前記変換手段が出力画像の画素を1画素出力するのに要する周期を単位とした場合に、前記第3の一時記憶手段は少なくとも各ラインの先頭のM画素については単位時間内に読み出し可能であり、前記第3の一時記憶手段がラインの最後の画素を出力した直後においては、前記転送手段は単位時間内に次の各ラインの先頭の $(N \times (M-1))$ 個の画素を前記第2の一時記憶手段に転送するとともに前記第3の一時記憶手段の出力を各ラインの先頭からM番目の画素に更新することにより、ラインと次のラインの継ぎ目においても前記変換手段から途切れることなく有効な出力画像の画素を得られる事を特徴

とする画像処理方法であり、前項の処理方法の実現に必要な入力画像を記憶して $(N \times M)$ 個の画素を同時に読み出し可能な記憶手段を、 N 個の画素を同時に出力可能な大容量の記憶手段と $(N \times (M - 1))$ 個の画素を同時に出力可能な小容量の一時記憶手段の組み合わせによって実表することにより、前記大容量の記憶手段としてメモリ帯域幅が狭く、従ってより低コストな記憶手段を用いることが可能になる、という作用を有する。

【 0 0 2 3 】

本発明の請求項 1 0 に記載の発明は、請求項 9 に記載の画像処理方法であって、請求項 9 に記載の第 3 の一時記憶手段を、少なくとも $(N \times (M - 1))$ 個の画素を記憶して同数の画素を同時に出力可能である第 4 の一時記憶手段と、1 ラインの画素数が L 個である時に少なくとも $(N \times (L - M + 1))$ 個の画素を記憶して N 個の画素を同時に出力可能である第 5 の一時記憶手段を組み合わせることによって実表し、前記転送手段は各ラインの先頭から $(M - 1)$ 番目までの画素を前記画像記憶手段から読み出した際には前記第 4 の一時記憶手段に記憶し、各ラインの先頭から M 番目以降の画素を前記画像記憶手段から読み出した際には前記第 5 の一時記憶手段に記憶し、前記第 3 の一時記憶手段が各ラインの先頭の M 画素を単位時間内に読み出す際には、前記第 4 の一時記憶手段が出力する $(N \times (M - 1))$ 個の画素と、前記第 5 の一時記憶手段が出力する N 個の画素を合わせて出力することにより、請求項 9 に記載の少なくとも各ラインの先頭の M 画素については単位時間内に読み出し可能である第 3 の一時記憶手段の機能を実表することを特徴とする画像処理方法であり、前項の処理方法の実現に必要な N ラインの画素を記憶して $N \times M$ 個の画素を同時に出力可能である第 3 の一時記憶手段を $(N \times (M - 1))$ 個の画素を出力可能な小容量の一時記憶手段と、 N ラインの残りの画素を記憶可能な比較的大容量の記憶手段の組み合わせによって実表することにより、前記比較的大容量の記憶手段としてメモリ帯域幅が狭く、従ってより低コストな記憶手段を用いることが可能になる、という作用を有する。

【 0 0 2 4 】

本発明の請求項 1 1 に記載の発明は、入力データを変換して出力データを得る演算回路と、前記演算回路にクロックを供給するクロック制御回路と、を用いる

信号処理回路であって、前記クロック制御回路は前記入力データが有効か否かを監視する機能を有し、前記入力データでない場合は前記演算回路にクロックを供給しないことを特徴とする信号処理回路であり、入力データが有効でないために演算回路を動作させても無駄である場合には、クロックの供給を止めることにより演算回路を停止させ、これによって無駄な電力の消費を防止する作用を有する。

【0025】

本発明の請求項12に記載の発明は、請求項11記載の信号処理回路であって、前記演算回路は複数の入力データを変換するものであり、前記クロック制御回路は入力データの一部が有効でない場合にも前記演算回路にクロックを供給しないことを特徴とする信号処理回路であり、演算回路の入力データが複数である場合には、その一部が有効でないために演算回路を動作させても有効な出力が選られない場合にもクロックの供給を止めることにより演算回路を停止させ、これによって無駄な電力の消費を防止する作用を有する。

【0026】

本発明の請求項13に記載の発明は、請求項12記載の信号処理回路であって、前記入力データは画像データであり、前記演算回路が連続するN本のライン上にある複数の画素を変換して一個の画素を出力する処理を行うものであって前記Nは1以上の整数であり、前記第1の記憶回路の出力する入力データが、連続するN本のライン上に無い画素のデータを含む場合にも、前記クロック制御回路は前記演算回路にクロックを供給しないことを特徴とする信号処理回路であり、入力データがラインの最後の画素と次のラインの先頭の画素、または画像の最終ラインの画素と次の画像の先頭ラインの画素を含むために、変換を行っても有効な出力画素が得られない場合には、クロックの供給を止めることにより演算回路を停止させ、これによって無駄な電力の消費を防止する作用を有する。

【0027】

本発明の請求項14に記載の発明は、請求項11または請求項12または請求項13記載の信号処理回路であって、前記クロック制御回路は前記第1の記憶回路の出力の変化を監視する機能を有し、前記第1の記憶回路の出力が変化しない

場合にも前記演算回路にクロックを供給しないことを特徴とする信号処理回路であり、演算回路の入力が変化しなければ演算回路の出力も変化しないため、クロックを供給しても、しなくても入力に対応した同じ出力が得られることを利用して、クロックの供給を止める制御を行うことにより演算回路を停止させ、これによって無駄な電力の消費を防止する作用を有する。

【0028】

本発明の請求項15に記載の発明は、ライン当たりの画素数がK画素である画像を変換して出力画像を得ることが可能な画像変換手段と、入力画像のうち少なくともKラインを記憶する画像記憶手段と、前記画像記憶手段から入力画素を読み出して前記画素変換手段に転送する転送手段と、を用いる信号処理であって、前記Kは2以上の整数であり、前記転送手段は前記画像記憶手段から入力画素を読み出して前記画素変換手段に転送する際に、ラインと直角な方向に隣接するK画素を順次読み出して前記画素変換手段に転送する処理を、読み出し開始位置をライン方向に増加させつつ入力画像のラインの終りに達するまで繰り返し、前記のK画素の転送をラインの終りに達するまで繰り返す一連の処理を、読み出し開始位置をラインと直角な方向に増加させつつ繰り返すことにより、入力画像全体を変換することを特徴とする画像処理方法であり、従来の方法であれば入力画像の1ラインの画素数に対応したラインメモリを持つ信号処理回路が必要であるところを、入力画像をKライン毎に分割して、画素をラインと直角な順で読み出して処理することにより、K画素に対応したラインメモリを持つ信号処理回路によって処理が可能になる。Kは任意であるので、本方法によればラインメモリの容量を小さくし、それによって信号処理回路全体のコストを削減することが出来る、という作用を有する。

【0029】

本発明の請求項16に記載の発明は、請求項15記載の画像処理方法であって、画像記憶手段の記憶容量または画像記憶手段の記憶容量のうち入力画像の記憶に用いる容量が入力画像全体の容量より小さいことを特徴とする画像処理方法であり、入力画像をKライン毎に分割して処理するので、少なくともKライン分の容量を持つ記憶領域を用いて、入力画像の記録と入力画像を読み出して変換する

処理とを繰り返すことにより入力画像全体を処理することが可能であり、入力画像全体を収める記憶領域は必要としない。Kは任意であるので、本方法によれば入力画像を記憶する画像メモリ40の容量を削減し、それによって信号処理回路全体のコストを削減することが出来る、という作用を有する。

【0030】

本発明の請求項17に記載の発明は、請求項15または請求項16に記載の画像処理方法であって、前記画像変換手段がライン方向に隣接するN個の入力画素を入力とする変換を行うものであり、前記Nが1以上の整数である場合には、前記のK画素の転送をラインの終りに達するまで繰り返す一連の処理を、読み出し開始位置をラインと直角な方向に $(K - N + 1)$ ラインずつ増加させつつ繰り返す事を特徴とする画像処理方法であり、垂直方向に隣接したN画素を入力とする変換を行う場合には、前記画像変換手段の入力に互いに隣接する有効な画素が並ぶ回数が、K画素の入力に対して $(K - N + 1)$ 回となることに合わせて、入力画像を分割して処理する際に前後の小入力画像を $(N - 1)$ ライン重複させると、入力の小画像に応じて変換される出力の小画像の間に重複や欠落等の不連続を生じる事が無くなるため、出力の小画像を単に並べるだけで出力画像全体を得られる、という作用を有する。

【0031】

本発明の請求項18に記載の発明は、請求項15または請求項16または請求項17に記載の画像処理方法であって、前記画像変換手段が請求項1または請求項2または請求項3または請求項4に記載または請求項5または請求項6または請求項7または請求項8に記載または請求項9または請求項10または請求項11または請求項12または請求項13または請求項14に記載に記載の画像処理方法を用いる事を特徴とする画像処理方法であり、画像変換手段に通常の画像処理方法を用いるのであれば、画像を小画像に分割して処理すると画像の辺縁部が全体に占める割合が増すために変換手段が無効なデータを出力する期間の比率が増えて、処理時間の増大と消費電力の増大を招く恐れがあるが、請求項1から10に記載の画像処理方法を用いれば演算回路の入力を常に有効な画素データを揃える事が可能なので、処理時間の増大と消費電力の増大を招く恐れが無く、請求項11

から14に記載の信号処理回路を用いれば演算回路の入力に有効な画素データが揃わない場合や画素データの動きが止まる場合には演算回路のクロックを停止することにより無駄な電力消費が避けられる、という作用を有する。

【0032】

本発明の請求項19に記載の発明は、ライン当たりの画素数がL画素である画像を変換して出力画像を得ることが可能な画像変換手段と、入力画像のうち少なくともKラインを記憶する画像記憶手段と、前記画像記憶手段から入力画素を読み出して前記画素変換手段に転送する転送手段と、を用いる信号処理であって、前記転送手段は前記画像記憶手段から入力画素を読み出して前記画素変換手段に転送する際に、ライン方向に隣接するL画素を順次読み出して前記画素変換手段に転送する処理を、読み出し開始位置をラインと直角な方向に増加させつつKラインについて繰り返し、前記の都合(L×K)画素を読み出して前記画素変換手段に転送する一連の処理を、読み出し開始位置をライン方向にL画素増加させつつ、入力画像のラインの終りに達するまで繰り返し、前記の(L×K)画素の転送をラインの終りに達するまで繰り返す一連の処理を、読み出し開始位置をラインと直角な方向にKライン増加させつつ繰り返すことにより、入力画像全体を変換することを特徴とする画像処理方法であり、従来の方法であれば入力画像の1ラインの画素数に対応したラインメモリを持つ信号処理回路が必要であるところを、入力画像を(L×K)画素の小画像に分割して処理することにより、K画素に対応したラインメモリを持つ信号処理回路によって処理が可能になり、小画像の中での画像処理の順は通常の方法と同じライン順であるので、従来の信号処理回路を利用可能であり、Kは任意であるので、本方法によればラインメモリの容量を小さくし、それによって信号処理回路全体のコストを削減することが可能である、という作用を有する。

【0033】

本発明の請求項20に記載の発明は、請求項19記載の画像処理方法であって、画像記憶手段の記憶容量または画像記憶手段の記憶容量のうち入力画像の記憶に用いる容量が入力画像全体の容量より小さいことを特徴とする画像処理方法であり、入力画像をL画素×Kラインの小画像に分割して処理するので、少なくと

もKライン分の容量を持つ記憶領域を用いて、入力画像の記録と入力画像を読み出して変換する処理とを繰り返すことにより入力画像全体を処理することが可能であり、入力画像全体を収める記憶領域は必要としない。Kは任意であるので、本方法によれば入力画像を記憶する画像メモリ40の容量を削減し、それによって信号処理回路全体のコストを削減することが出来る、という作用を有する。

【0034】

本発明の請求項21に記載の発明は、請求項19または請求項20に記載の画像処理方法であって、前記画像変換手段がライン方向に隣接するM個の入力画素を入力とする変換を行う場合には、前記の都合($L \times K$)画素を読み出して前記画素変換手段に転送する一連の処理の読み出し開始位置をライン方向に増加させる際に、 $(L - M + 1)$ 画素ずつ増加させる事を特徴とする画像処理方法であり、ライン方向に隣接するM画素を入力とする変換を行う場合には、前記画像変換手段の入力に互いに隣接する有効な画素が並ぶ回数が、K画素の入力に対して $(K - M + 1)$ 回となることに合わせて、入力画像を分割して処理する際に前後の小入力画像を左右に $(M - 1)$ 画素重複させると、入力の小画像に応じて変換される出力の小画像の間に重複や欠落等の不連続を生じる事が無くなることから、出力の小画像を単に並べるだけで出力画像全体を得られる、という作用を有する。

【0035】

本発明の請求項22に記載の発明は、請求項19または請求項20に記載の画像処理方法であって、前記画像変換手段がラインと直角な方向に隣接するN個の入力画素を入力とする変換を行う場合には、前記の $(L \times K)$ 画素の転送をラインの終りに達するまで繰り返す一連の処理を、前記画像記憶手段に新たな $(K - N + 1)$ ラインの入力画像の画素が入力される毎に読み出し開始位置をラインと直角な方向に $(K - N + 1)$ ラインずつ増加させつつ繰り返す事を特徴とする画像処理方法であり、ラインと直角な方向に隣接するN画素を入力とする変換を行う場合には、前記画像変換手段の入力に互いに隣接する有効な画素が並ぶ回数が、K本のライン上の同じ位置の入力画素に対して $(K - N + 1)$ 回となることに合わせて、入力画像を分割して処理する際に上下の小入力画像を $(N - 1)$ ライ

ン重複させると、入力の小画像に応じて変換される出力の小画像の間に重複や欠落等の不連続を生じる事が無くなることから、出力の小画像を単に並べるだけで出力画像全体を得られる、という作用を有する。

【0036】

本発明の請求項23に記載の発明は、請求項19または請求項20に記載の画像処理方法であって、前記画像変換手段がライン方向にM個、ラインと直角な方向にN個の矩形領域に並んだ入力画素を入力とする変換を行う場合は、前記の都合($L \times K$)画素を読み出して前記画素変換手段に転送する一連の処理の読み出し開始位置をライン方向に増加させる際に($L - M + 1$)画素ずつ増加させ、前記の($L \times K$)画素の転送をラインの終りに達するまで繰り返す一連の処理を、読み出し開始位置をラインと直角な方向に($K - N + 1$)ラインずつ増加させつつ繰り返す事を特徴とする画像処理方法であり、ライン方向にM画素、ラインと直角な方向にN画素の互いに隣接する画素を入力とする変換を行う場合には、入力画像を分割して処理する際に、左右の小入力画像を($M - 1$)画素、上下の小入力画像を($N - 1$)ライン重複させると、入力の小画像に応じて変換される出力の小画像の間に重複や欠落等の不連続を生じる事が無くなることから、出力の小画像を単に並べるだけで出力画像全体を得られる、という作用を有する。

【0037】

本発明の請求項24に記載の発明は、請求項19または請求項20または請求項21または請求項22または請求項23に記載の画像処理方法であって、前記画像変換手段が請求項1または請求項2または請求項3または請求項4記載または請求項5または請求項6または請求項7または請求項8記載または請求項9または請求項10に記載の画像処理方法を用いる事を特徴とする画像処理方法であり、画像変換手段に通常の画像処理方法を用いるのであれば、画像を小画像に分割して処理すると画像の辺縁部が全体に占める割合が増すために変換手段が無効なデータを出力する期間の比率が増えて、処理時間の増大と消費電力の増大を招く恐れがあるが、請求項1から10に記載の画像処理方法を用いれば演算回路の入力を常に有効な画素データを揃える事が可能なので、処理時間の増大と消費電力の増大を招く恐れが無く、請求項11から14に記載の信号処理回路を用いれば

演算回路の入力に有効な画素データが揃わない場合や画素データの動きが止まる場合には演算回路のクロックを停止することにより無駄な電力消費が避けられる、という作用を有する。

【0038】

本発明の請求項25に記載の発明は、入力画像を記憶する画像記憶手段と、前記画像記憶手段に入力画像を転送する転送手段と、前記画像記憶手段から入力画像を読み出して変換を行う変換手段と、を用いる信号処理手段であり、前記変換手段は入力画像をKライン単位で変換するものであって前記Kは2以上の整数であり、前記変換手段はKラインを単位とする変換の開始位置を前記転送手段に伝達する機能を有し、前記転送手段は前記開始位置を越えて記憶手段に入力画像を転送しない事を特徴とする画像処理方法であり、同じ記憶領域を反復して使用する際に、通常の画像処理方法であればライン単位でアドレスの追い越しを防止すればよいところであるが、ライン単位の画像の入力とKラインを単位とする信号処理を行う場合には、Kラインを単位とする変換の開始位置を書込みアドレスが越えないよう制御することにより追い越しを防止し、未処理データの上書きによる消失を防止できる、という作用を有する。

【0039】

本発明の請求項26に記載の発明は、入力画像を記憶する画像記憶手段と、前記画像記憶手段に入力画像を転送する転送手段と、前記画像記憶手段から入力画像を読み出して変換を行う変換手段と、を用いる信号処理手段であり、前記変換手段は入力画像をKライン単位で変換して $(K - N + 1)$ ラインを出力するものであって、前記Kは2以上の整数、前記Nは1以上の整数であり、前記転送手段は画像記憶手段に転送済みのライン数を計数して前記変換手段に通知する手段を備えるものであり、前記変換手段は前記転送済みのライン数と直前のKライン単位の変換で読み出したラインの上限との距離を求める手段を有し、前記距離が $(K - N + 1)$ 未満である時には前記Kライン単位の変換を開始しない事を特徴とする画像処理方法であり、Kライン単位の処理と従来と同じライン単位の画像データの入力とを平行して行う際には、前記の式により未処理の入力画像のライン数を計算し、これが処理単位に達するのを待って処理を開始することにより、追

い越しを生じること無く画像データの入力と処理とを並列実行できる、という作用を有する。

【0040】

本発明の請求項27に記載の発明は、請求項25または請求項26記載の画像処理方法であって、前記記憶手段の記憶容量または前記記憶手段の記憶容量のうち入力画像の記憶に用いる容量が入力画像全体の容量より小さく、かつ $(2K - N + 1)$ ライン以上の画素を記憶する容量であって、入力画像の転送と画像の変換を同時に行うことを特徴とする画像処理方法であり、入力画像より小さい記憶容量を使って入力画像全体を処理できるので画像メモリの容量を削減することが可能であり、前記容量を利用して画像の変換中も入力画像の転送が出来るので転送の制御が容易であり、かつ転送を含めた処理時間を短縮できる、という作用を有する。

【0041】

本発明の請求項28に記載の発明は、請求項25または請求項26または請求項27記載の画像処理方法であって、前記変換手段が請求項15または請求項16または請求項17または請求項18または請求項19または請求項20または請求項21または請求項22または請求項23または請求項24に記載の画像処理方法を用いる事を特徴とする画像処理方法であり、信号処理をKライン単位に区切ることで入力画像を記憶する領域を小さくすると同時に、信号処理において少ない画素数のラインメモリを用いた構成を用いることにより、画像メモリ40の容量とラインメモリの容量を同時に削減し、これによって信号処理回路全体のコストを削減することが出来る、という作用を有する。

【0042】

本発明の請求項29に記載の発明は、請求項25または請求項26または請求項27または請求項28記載の画像処理方法を用いた信号処理回路であって、請求項11または請求項12または請求項13または請求項14に記載のクロック制御回路と、前記クロック制御回路からクロックの供給を受ける演算回路を有し、前記クロック制御回路は前記Kライン単位の変換を開始しない場合にも前記演算回路にクロックを供給しないことを特徴とする信号処理回路であり、演算回路

の入り口に有効なデータが揃わない場合にクロックを停止して無駄な電力消費を避けると同時に、未処理の入力画像のライン数が処理単位に満たない為に処理を一時中止して待機する場合にも演算回路を停止させて無駄な電力消費を避けることにより、画像データ入力待ちによる処理の停止の有無に関わらず、演算回路による電力消費を最小限に抑えられる、という作用を有する。

【0043】

本発明の請求項30に記載の発明は、画像を記憶する画像記憶手段と、入力画像を変換して前記画像記憶手段に出力画像を記録する変換手段と、前記画像記憶手段から出力画像を読み出す転送手段と、を用いる信号処理手段であって、前記変換手段は出力画像をJライン単位で出力するものであって前記Jは2以上の整数であり、前記変換手段はJラインを単位とする出力画像の記録開始位置を前記転送手段に伝達する機能を有し、前記転送手段は前記記録開始位置を越えて前記記憶手段から出力画像を読み出さない事を特徴とする画像処理方法であり、同じ記憶領域を反復して使用する際に、通常の画像処理方法であればライン単位でアドレスの追い越しを防止すればよいところであるが、変換後の画素がJライン単位である画像処理と、従来のライン単位の画像データの出力とを平行して行う際には、Jラインを単位とする出力データの書き込み開始位置を読み出しアドレスが越えないよう制御することにより追い越しを防止し、未更新データの読み出しによる不具合を防止できる、という作用を有する。

【0044】

本発明の請求項31に記載の発明は、画像を記憶する画像記憶手段と、入力画像を変換して前記画像記憶手段に出力画像を記録する変換手段と、前記画像記憶手段から出力画像を読み出す転送手段と、を用いる信号処理手段であって、前記変換手段は出力画像をJライン単位で前記画像記憶手段に書き込むものであって前記Jは2以上の整数であり、前記転送手段は前記画像記憶手段の読出し位置を前記変換手段に伝達する機能を有し、前記変換手段は前記読出し位置が書き込み開始位置からJライン以内であって、書き込みを開始すると読み出し位置と書き込み位置が交錯する場合には、入力画像の変換を一時中止して出力画像の記録を開始しない事を特徴とする画像処理方法であり、変換後の画素がJライン単位である

画像処理とライン単位の画像データの出力とを平行して行う際に、画像データの読み出し位置と、画像処理出力の書き込み開始位置の間の距離を計算し、これがJラインを越えるのを待って処理を開始することにより、追い越しを生じること無く信号処理と画像データの出力とを並列実行できる、という作用を有する。

【0045】

本発明の請求項32に記載の発明は、請求項30または請求項31記載の画像処理方法であって、前記記憶手段の記憶容量または前記記憶手段の記憶容量のうち出力画像の記憶に用いる容量が出力画像全体の容量より小さく、かつ2Jライン以上の画素を記憶する容量であって、画像の変換と出力画像の転送とを同時に行うことを特徴とする画像処理方法であり、出力画像を記憶する領域として出力画像全体より小さい記憶容量しか必要としないので画像メモリの容量を削減することが可能であり、前記容量を利用して画像の変換中も出力画像の転送が出来るので転送の制御が容易であり、かつ転送を含めた処理時間を短縮できる、という作用を有する。

【0046】

本発明の請求項33に記載の発明は、請求項30または請求項31または請求項32記載の画像処理方法であって、前記変換手段が請求項15または請求項16または請求項17または請求項18または請求項19または請求項20または請求項21または請求項22または請求項23または請求項24に記載の画像処理方法を用いる事を特徴とする画像処理方法であり、処理後の画像出力をJライン単位に区切ることで出力画像を記憶する領域を小さくすると同時に、信号処理において少ない画素数のラインメモリを用いた構成を用いることにより、画像メモリ40の容量とラインメモリの容量を同時に削減し、これによって信号処理回路全体のコストを削減することが出来る、という作用を有する。

【0047】

本発明の請求項34に記載の発明は、請求項30または請求項31または請求項32または請求項33に記載の画像処理方法を用いた信号処理回路であって、請求項11または請求項12または請求項13または請求項14に記載のクロック制御回路と、前記クロック制御回路からクロックの供給を受ける演算回路を有

し、前記クロック制御回路は前記Ｊラインを単位とする画像出力を行わない期間にも前記演算回路にクロックを供給しないことを特徴とする信号処理回路であり、演算回路の入りに有効なデータが揃わない場合にクロックを停止して無駄な電力消費を避けると同時に、出力画像の記憶領域に余地が不足している為に処理を一時中止して待機する場合にも演算回路を停止させて無駄な電力消費を避けることにより、画像データ出力待ちによる処理の停止の有無に関わらず、演算回路による電力消費を最小限に抑えられる、という作用を有する。

【0048】

本発明の請求項３５に記載の発明は、画像を記憶する記憶手段と、前記記憶手段より入力画像の画素を読み出して変換を行い、変換後の出力画素を前記記憶手段に記録する変換手段と、を用いる信号処理手段であり、前記変換手段は入力画像をＫライン単位で変換し、変換後の出力画像はＪライン単位で得られるものであって、前記ＫまたはＪは１以上の整数であり、前記変換手段がＫライン単位で入力画像の画素を読み出した領域に、次のＫラインを変換して得たＪラインの出力画素を上書きして記録することを特徴とする画像処理方法であり、出力画像を入力画像に上書きして記憶することにより、出力画像を入力画像と独立した記憶手段または記憶領域に置く場合よりも、記憶手段の総容量を小さくできる、という作用を有する。

【0049】

本発明の請求項３６に記載の発明は、請求項３５記載の画像処理方法であって、前記記憶手段に入力画像を記録する第１の転送手段と、前記記憶手段より出力画像を読み出す第２の転送手段とを備え、前記記憶手段の記憶容量または前記記憶手段の記憶容量のうち入力画像と出力画像の記憶に用いる領域の合計が、入力画像全体または出力画像全体の容量より小さいことを特徴とする画像処理方法であり、出力画像の読み出しが終わった領域を入力画像の記録に再利用することにより、入力画像と出力画像の記憶に用いる領域の容量を著しく縮小できる、という作用を有する。

【0050】

本発明の請求項３７に記載の発明は、請求項３６記載の画像処理方法であって

、前記変換手段はNラインの画素を入力として1ラインの画素を出力するものであり、前記Jは $(K - N + 1)$ であって、前記記憶手段の記憶容量または前記記憶手段の記憶容量のうち入力画像と出力画像の記憶に用いる領域の容量が、 $(3K - 2N + 2)$ ライン以上の画素を記憶する容量であって、入力画像の転送と画像の変換と出力画像の転送を同時に行うことを特徴とする画像処理方法であり、前記容量を利用して画像の変換中も入力画像の転送と出力画像の転送が出来るので画像転送の制御が容易であり、かつ転送を含めた処理時間を短縮できる、という作用を有する。

【0051】

以下、図面を参照して本発明の第1の実施の形態を詳細に説明する。

【0052】

(実施の形態1)

図1は本発明の請求項1および2および3および4および19および21および24による信号処理回路の概略構成を示すブロック図である。図1において、40は画像メモリであり入力画像と出力画像を互いに重複しない領域に記憶する。11および12および13および14および15は各々入力画像を1画素ずつ記憶するレジスタである。43はレジスタ14およびレジスタ15の入力をレジスタ13、レジスタ14またはレジスタ1、レジスタ2に切替える切替器である。51および52および53は各々画素データに水平位置の順に合わせた係数を乗じる乗算器である。54は乗算器51および52および53の出力を合計する加算器である。42は画像メモリ40と5個のレジスタ11および12および13および14および15と、セレクタ43とを制御し、画像メモリ40から3個のレジスタ11および12および13への画素データの転送と、レジスタ11とレジスタ12またはレジスタ13とレジスタ14からレジスタ14とレジスタ15への画素データの転送と、加算器54から画像メモリ40への出力画素データの転送を実行するメモリ制御回路である。また、三つの乗算器51および52および53と加算器54をまとめて演算回路41と呼ぶことにする。

【0053】

図2の(A)と(B)と(C)は本発明の請求項19および21および24に

基づく信号処理の手順を説明する為の模式図である。図2（A）の枠目は入力画像の画素に相当し、枠目の数字の下桁は入力の小画像内でのライン方向の画素位置、枠目の数字の上桁は入力の小画像内でのラインと直角な方向の画素位置を表す。表の中央部の二列の枠目に数字が二つ入っている理由は、本実施の形態の信号処理ではライン方向の3画素を変換して出力画像の1画素を得る信号処理を行うので本発明の請求項21記載のように小画像はライン方向に2画素、互いに重なり合うよう分割しているからである。図2（B）は図1記載の記憶手段の出力の変化を表したものであり、図2（B）表中の時刻の行は時刻を請求項4記載の単位時間を単位として表しており、図2（B）表中のスイッチの行は切替器43のスイッチの投入位置を示し、図2（B）表中のA、B、C、D、E、Fの行はそれぞれ画像メモリ40、レジスタ11、レジスタ12、レジスタ13、レジスタ14、レジスタ15の出力の時間変化に対応している。図2（C）は出力画素を画像メモリ40に書き込む順を表している。

【0054】

以下、図1および図2を用いて本発明の請求項1および2および3および4および19および21および24による信号処理回路の動作を説明する。

【0055】

画像メモリ40は本発明の請求項1または2記載のように単位時間内に2画素を読み出し可能であり、メモリ制御回路42は本発明の請求項4記載のように単位時間内に画像メモリ40の読み出しを二回実行することにより、1単位時間内に二つのレジスタの内容を画像メモリ40から読み出した画素で更新することができる。メモリ制御回路42は時刻1の時に入力の小画像のラインの先頭の2画素11、12を読み出し、レジスタ11とレジスタ12は画素11と画素12をラッチする。

【0056】

次の時刻2ではレジスタ11とレジスタ12が画素11と画素12を出力しており、スイッチは下に切り替わってレジスタ14とレジスタ15はレジスタ11とレジスタ12の出力をラッチする。同時にレジスタ13は画像メモリ40の出力をラッチし、次の時刻3の時に入力の小画像のラインの先頭の3画素11、1

2、13が演算回路41に向けて出力される。以後、セクタ43は上に切り替わり、レジスタ13、14、15は3段のシフトレジスタとして動作し、ライン方向に隣接する3画素を演算回路41に出力し続けるが、この間にレジスタ11、12は次のラインの先頭の2画素21、22をラッチして入力の小画像の終りまでホールドする。

【0057】

時刻6ではセクタ43は下に切替わり、レジスタ13、14、15は入力の小画像の最初のラインの最後の3画素を出力すると共にレジスタ11、12が出力する第2ラインの先頭の2画素21、22をラッチし、それと同時にレジスタ13は第2ラインの先頭から3番目の画素23を画像メモリ40から受け取ってラッチする。

【0058】

次の時刻7では入力の小画像の第二のラインの先頭の3画素が演算回路に出力され、セクタ43は上に切り替わってレジスタ13、14、15は3段のシフトレジスタとしての動作に戻る。

【0059】

このように、単位時間内に2画素を読み出し可能な画像メモリ40と、レジスタ11とレジスタ12が構成する2画素を記憶可能な一時記憶手段と、レジスタ13とレジスタ14とレジスタ15が構成する3段のシフトレジスタを用いて、入力小画像のライン方向に隣接する3画素のデータを供給し、ラインの終りと次のラインの先頭の間においても、無効期間を挟むことなく有効な3画素の入力データの組を供給し続けることが出来る。

【0060】

演算回路41の入力が有効な画素データの組であるから、演算回路41はラインの終りと次のラインの先頭の間においても、無効期間を挟むことなく有効な出力画素データを出力し続けることが出来る。言い換えれば、ラインの継ぎ目においても演算回路41は無効データを出力することがなく、よって時間も電力も無駄に消費することがない。演算回路41は通常、信号処理回路の中で最も回路規模が大きく、その為に消費電力が大きくて動作速度も上げにくいので、演算回路

4 1 における処理時間と消費電流の無駄を無くすことより、信号処理回路全体としての消費電力と処理時間を最少にすることができる。

【 0 0 6 1 】

以上のことは入力画像を小画像に分割しない場合でも同様に成り立つが、入力の画像を小画像に分割して処理する場合には、ラインとラインの境界に差掛かる頻度が著しく倍化するので、本発明の請求項 1 および 2 および 3 および 4 による画像処理方法は、より大きな効果をもたらす事になる。

【 0 0 6 2 】

出力の小画像はライン方向に隣接する 3 画素を変換して出力の 1 画素を得る信号処理を行ったために入力の小画像より水平に 2 画素少なくなる。演算回路 4 1 が出力した画素データはメモリ制御回路 4 2 により図 2 (C) に示す順で画像メモリ 4 0 に書き込まれる。隣接する小画像は隣接する領域に並べて記録され、全ての出力小画像が並んだ時点で出力画像が完成する。出力画像は全体として入力画像よりも水平に 2 画素少なくなるが、これは水平方向の 3 画素を変換して 1 画素を得る変換を行った為であり、分割処理の有無に依存しない。

【 0 0 6 3 】

分割処理を行った場合、入力画像は図 2 (A) に示すように二列分の画素が重複して読み出されることになる。しかし、請求項 2 4 に従って請求項 1 および 2 および 3 および 4 による信号処理を併用していれば、画像メモリ 4 0 の読み出しで重複があっても演算回路 4 1 は時間も電力も無駄に消費することがない。なぜなら、分割処理の有無に関わらず出力の画素数は同じであり、本発明の請求項 1 および 2 および 3 および 4 による信号処理回路は出力画素数と同じ回数の分しか処理時間も動作電流も消費しないからである。

【 0 0 6 4 】

従来の方法では、ラインの継ぎ目において異なるラインに属する画素データが並列に入力されるために演算回路 4 1 は無効データを出力するし、入力データが水平ブランキング期間等の無効データを含む場合は、演算回路 4 1 は大幅な期間に渡って無効データを出力する。そのため、本発明の請求項 1 および 2 および 3 および 4 による信号処理回路において、演算回路 4 1 が消費する処理時間と消費

電力は、従来の方法による信号処理回路のそれを下回ることになる。メモリアクセスの増加による消費電力増により一部相殺されるが、全体として従来の方法による回路より小さな消費電力で動作する信号処理回路が構成可能である。

【0065】

このように本実施の形態（請求項5および19および21および24）によれば、ライン方向の画素を変換する画像処理の処理時間を短縮し、回路の消費電力も削減することができる。

【0066】

（実施の形態2）

以下、図面を参照して本発明の第2の実施の形態を詳細に説明する。

【0067】

図3は本発明の請求項5および6および7による信号処理回路の概略構成を示すブロック図である。図3において、40は画像メモリであり、入力画像と出力画像を互いに重複しない領域に記憶する。10および20および30は各々入力画像を1ラインずつ記憶するRAMであり、書き込みアドレスと読み出しアドレスを独立に制御することが出来る。43は三つのRAM10～30の出力を画素の垂直位置の順に合わせて入れ替えて乗算器51および52および53に入力する切替器であり、乗算器51および52および53は各々画素データに垂直位置の順に合わせた係数を乗じて加算器54に出力する乗算器であり、加算器54は三つの乗算器51～53の出力を合計して処理結果を得る3入力の加算回路であり、メモリ制御回路42は画像メモリ40と三つのRAM10および20および30と、切替器43とを制御して画像メモリ40から三つのRAM10および20および30への画素データの転送と、三つのRAM10および20および30から三つの乗算器51および52および53への画素データの転送と、加算器54から画像メモリ40への出力画素データの転送を実行する。また、三つの乗算器51および52および53と加算器54をまとめて演算回路41と呼ぶことにする。

【0068】

図4は本発明の請求項19および22に基づく信号処理の手順を説明する為

の図であり、図2（A）の枠目は入力画像の画素に相当し、図2（B）の枠目は出力画像の画素に相当し、各々のライン方向の1行は画像の1ラインに相当する。この例では入力画像は水平16画素、垂直6画素であり、これを各々水平8画素、垂直6画素二つの小入力画像に分割して処理する。従来の画像処理方法によれば、少なくとも16画素の記憶容量を持つラインメモリを必要とするところであるが、本発明の請求項19および22に従って入力画像を小画像に分割して処理することにより、図1の三つのRAM10および20および30は入力小画像のライン方向の画素数に合わせた8画素の記憶容量で十分に動作する。

【0069】

以下、図3及び図4を参照しながら本発明の請求項5および6および7および19および22に基づく信号処理の例を説明する。

【0070】

ここで行う信号処理はラインと直角な方向に隣接する3画素を変換して出力の1画素を得るものであるから、通常の信号処理手順では画像メモリ40からライン順次で画素データを読み出してRAM10に第1のラインの画素データ、RAM20に第二のラインの画素データを転送し、RAM30に3ライン目の先頭の画素データが読み込まれて、RAM10、RAM20、RAM30がラインと直角な方向に隣接する3画素を同時に出力する時点まで加算器54から有効な画素は出力されない。

【0071】

しかし、本発明の請求項1に示す方法によれば、メモリ制御回路42は図4の枠目に記入した番号が示すように、先ず第1ラインの先頭の画素から第3ラインの先頭の画素までラインに垂直な方向で順次読み出してRAM10、RAM20、RAM30に転送し、次に読み出し開始位置をライン方向に1画素移動して第1ラインの二番目の画素から第3ラインの二番目の画素までを順次読み出してRAM10、RAM20、RAM30に転送する、という動作をライン方向で8番目の画素列まで繰り返す。すると、演算回路41はRAM10、RAM20、RAM30が各々最初の1画素を読み込んだ時点で最初の画素を出力することが出来る。

【0072】

メモリ制御回路42は第3ラインの8画素目を読み込んだ時点で画像メモリ40の読み出し順を切り替え、図4に示すようにライン順次で第4ラインの画素を読み出してRAM10に転送する。メモリ制御回路42は演算回路41が出力の小画像の第1ラインを出力し終えるのと同時に切替器43を切り替えてRAM20の出力を第1ラインの乗算器51に、RAM30の出力を第二ラインの乗算器52に、RAM10の出力を第3ラインの乗算器53に入力する。この時、画像メモリ40から画素データを読み出す速度の上限、すなわち画像メモリ40のメモリバンド幅が、演算回路41が画素を出力する速度の3倍以上であれば、メモリ制御回路42は出力小画像の最初の画素から最後の画素までが無効データを挟むことなく一定の速度で出力されるよう、RAM10、RAM20、RAM30の読み出しアドレスを制御することが出来る。

【0073】

また、メモリ制御回路42は第1の小入力画像の最終ラインから第二の小入力画像の第3ラインまでは次のように制御する。RAM10、RAM20、RAM30が各々第4、第5、第6ラインの先頭画素を出力した時点で、メモリ制御回路42は図4の49、50、51番目のように第二の小入力画像の第1ラインの先頭の画素から第3ラインの先頭の画素までラインに垂直な方向で順次読み出してRAM10、RAM20、RAM30に転送し、以後もRAMの読み出しアドレスに追い付かないよう制御しつつ、画像メモリ40の読み出し開始位置をライン方向に変化させながらRAM10、RAM20、RAM30の内容を第二の入力小画像のデータに書き換えてゆく。

【0074】

すると、RAM10、RAM20、RAM30の読み出しアドレスがラインの終りに達して先頭に戻った時にはRAM10、RAM20、RAM30は既に第二の入力小画像のデータを出力可能になっているので、出力小画像の画素出力は小画像の継ぎ目で途切れることはない。

【0075】

第二の小画像の最初の3ラインを読み込む操作に許される時間は、RAM10

、RAM20、RAM30が第1の入力小画像の最終ラインの画素列を出力し始めてから第二の入力小画像の先頭ラインの画素列を出力し終わるまでの2ライン分の期間であり、この間に入力小画像の3ラインを読み込めばよいので、画像メモリ40のメモリバンド幅が、演算回路41が画素を出力する速度の1.5倍以上であれば、信号処理回路は小画像の継ぎ目において無効データを挟むことなく一定の速度で出力小画像の画素を出力し続けることが出来る。言い換えれば、小画像の継ぎ目においても演算回路41は無効データを出力することがなく、よって時間も電力も無駄に消費することがない。演算回路41は通常、信号処理回路の中で最も回路規模が大きく、その為に消費電力が大きくて動作速度も上げにくいので、演算回路41における処理時間と消費電流の無駄を無くすことより、信号処理回路全体としての消費電力と処理時間を最少にすることができる。

【0076】

以上のことは入力画像を小画像に分割しない場合でも同様に成り立つが、入力画像を小画像に分割して処理する場合には、画面と画面の境界に差掛かる頻度が著しく倍化するので、本発明の請求項5および6および7による画像処理方法は、より大きな効果をもたらす事になる。

【0077】

出力の小画像はラインと直角な方向に隣接する3画素を変換して出力の1画素を得る信号処理を行ったために入力の小画像より2ライン少なくなる。演算回路41が出力した画素データはメモリ制御回路42により図4(B)に示す順で画像メモリ40に書き込まれる。隣接する小画像は隣接する領域に並べて記録され、全ての出力小画像が並んだ時点で出力画像が完成する。

【0078】

入力画像が図2(A)より縦長の場合は、第5ラインが3番目と4番目の小画像の先頭ラインとなり、5ライン目と6ライン目は1番目と2番目の小画像の時に重複して読み出されることになる。しかし、請求項24に従って本発明の請求項5および6および7による画像処理方法を併用していれば、画像メモリ40の読み出しで重複があっても演算回路41は時間も電力も無駄に消費することがない。なぜなら、分割処理の有無に関わらず出力の画素数は同じであり、本発明の

請求項5および6および7による信号処理回路は出力画素数と同じ回数の分しか処理時間も動作電流も消費しないからである。

【0079】

従来の方法によると、画像の継ぎ目においては異なる画像に属する画素データが並列に入力されるために演算回路41は無効データを出力するし、入力データが垂直ブランキング期間等の無効データを含む場合は、演算回路41は大幅な期間に渡って無効データを出力する。そのため、本発明の請求項5および6および7による信号処理回路において、演算回路41が消費する処理時間と消費電力は、従来の方法による信号処理回路のそれを下回ることになる。

【0080】

分割処理による消費電力増の要因として画像メモリ40の読み出し回数増があるが、分割処理によってラインメモリの記憶容量を数分の1から数十分の1に縮小すれば、ラインメモリに用いるSRAMの消費電力を大幅に削減することができる。よって、全体として従来の方法による回路より小さな消費電力で動作する信号処理回路が構成可能である。

【0081】

このように本実施の形態（請求項5および6および7および19および22および24）によれば、ラインと直角な方向に隣接する画素を変換する画像処理回路のラインメモリの容量を大幅に削減し、かつ、処理時間と消費電力も削減することができる。

【0082】

（実施の形態3）

以下、図面を参照して本発明の第3の実施の形態を詳細に説明する。図5は本発明の請求項8および9および10による信号処理回路の概略構成を示すブロック図である。

【0083】

図5において、40は画像メモリであり入力画像と出力画像を互いに重複しない領域に記憶する。10および20および30は各々入力画像の1ラインの画素数から2画素を減じた記憶容量を持つRAMである。11, 12, 13, 14,

21, 22, 23, 24, 31, 32, 33, 34はレジスタであり、各々1画素を記憶する。43はレジスタ13, 14, 23, 24, 33, 34の入力を切替える切替え器である。41は三つのRAM10, 20, 30と、六つのレジスタ13, 14, 23, 24, 33, 34が出力する合計9画素を加重平均して出力画素を変換する演算回路である。42は画像メモリ40と三つのRAM10, 20, 30と、六つのレジスタ13, 14, 23, 24, 33, 34と切替え器43を制御し、画像メモリ40からRAM10, 20, 30またはレジスタ11, 12, 21, 22, 31, 32への入力画素の転送と、RAM10, 20, 30またはレジスタ11, 12, 21, 22, 31, 32からレジスタ13, 14, 23, 24, 33, 34への入力画素転送と、演算回路41から画像メモリ40への出力画素の転送を行うメモリ制御回路である。

【0084】

図6の(A)と(B)は本発明の請求項23および24に基づく信号処理の手順を説明する為の模式図である。図6(A)の枠目は入力画像の画素に相当し、枠目の数字の下桁は入力の小画像内でのライン方向の画素位置、枠目の数字の上桁は入力の小画像内でのラインと直角な方向の画素位置を表す。本図の中央部の二列の枠目に数字が二つ入っている理由は、本実施の形態の信号処理ではライン方向の3画素を変換して出力画像の1画素を得る信号処理を行うので本発明の請求項23記載のように小画像はライン方向に2画素、互いに重なり合うよう分割するからである。なお、入力画像が図6(A)の模式図より縦長である場合には、第1と第2の小画像は第3と第4の小画像と5ライン目と6ライン目を共有するが、煩雑さを避けるため表には記していない。本実施の形態では図5の信号処理回路の入力画像は1ラインの画素数が6画素である小画像であるため、RAM10, 20, 30は6画素から2画素を減じた4画素の記憶容量を持てばよい。

【0085】

図6(B)と(C)はRAM1、RAM2、RAM3、レジスタ11、レジスタ12、レジスタ21、レジスタ22、レジスタ31、レジスタ32、レジスタ13、レジスタ14、レジスタ23、レジスタ24、レジスタ33、レジスタ3

4 の出力とセクタ 4 3 の切り替えの時間変化を表したものである。メモリ制御回路 4 2 は入力の小画像の第 1 ラインの先頭の 4 画素 1 1、1 2、1 3、1 4 を読み出し、時刻 1 の時にレジスタ 1 1、レジスタ 1 2 と RAM 1 の出力が入力の小画像の第 1 ラインの先頭の 3 画素 1 1、1 2、1 3 に各々更新される。

【0086】

入力の小画像の第 2、第 3 ラインについても、ラインの先頭から 4 画素目までの画素データが画像メモリ 4 0 から読み出され、時刻 3 までに 3 ラインについてラインの先頭から 3 画素、都合 3×3 画素が RAM 1 0、2 0、3 0 とレジスタ 1 1、1 2、2 1、2 2、3 1、3 2 の出力に出そう。

【0087】

同じ時刻 3 の時にセクタ 4 3 は下に切り替わり、レジスタ 1 3、レジスタ 1 4、レジスタ 2 3、レジスタ 2 4、レジスタ 3 3、レジスタ 3 4 が各ラインの先頭の 2 画素を読み込んで、時刻 4 の時点で演算回路 4 1 の入力に 3×3 画素の入力データが揃う。以後、セクタ 4 3 は上に切り替わり、レジスタ 1 3、レジスタ 1 4 は RAM 1 0 の出力を遅延するシフトレジスタとして動作し、同様にレジスタ 2 3、レジスタ 2 4 は RAM 2 0 の出力を、レジスタ 3 3、レジスタ 3 4 は RAM 3 0 の出力を遅延して各々、各ライン上のライン方向に隣接する 3 画素を演算回路 4 1 に出力し続ける。

【0088】

この間にメモリ制御回路 4 2 はレジスタ 1 1、レジスタ 1 2 と RAM 1 の内容を第 4 ラインの画素データで書き換え、時刻 8 からは第 2 ラインから第 4 ラインまでの 3 ラインの画素データが演算回路 4 1 に出力される。図 6 の (C) は (B) の続きにあたり、時刻 1 5 の時点までは第 3 ラインから第 5 ラインまでの 3 ラインの画素データが演算回路 4 1 に出力されている。

【0089】

時刻 1 6 から時刻 1 9 までの期間は第 4 ラインから第 6 ラインまでの 3 ラインの画素データが演算回路 1 5 に出力されるが、この間にメモリ制御回路 4 2 は第 2 の入力の小画像の最初の 3 ラインの画像データでレジスタ 1 1、レジスタ 1 2、レジスタ 2 1、レジスタ 2 2、レジスタ 3 1、レジスタ 3 2 と RAM 1、RA

M2、RAM3の内容を更新しており、時刻20からは第2の入力の小画像の画像データが演算回路41に出力される。

【0090】

このように、本発明の方法によれば、水平方向と垂直方向に幅を持つ画素データから出力の画素データを変換する二次元の信号処理を行う場合においても、ラインとラインの境界や、小画像と小画像の境界でも演算回路には入力データの組が途切れることなく供給されるので、演算回路は途切れることなく有効な出力画素データを出力し続けることが出来る。

【0091】

入力の小画像は、本発明の請求項23に従って上下方向と左右方向に隣接する小画像と重複する部分を持つ。しかし、請求項24に従って本発明の請求項8および9および10による画像処理方法を併用していれば、画像メモリ40の読み出しで重複があっても演算回路は時間も電力も無駄に消費することがない。なぜなら、分割処理の有無に関わらず出力の画素数は同じであり、本発明の請求項8および9および10による信号処理回路は出力画素数と同じ回数の分しか処理時間も動作電流も消費しないからである。

【0092】

従来の方法によると、ラインの継ぎ目や画像の継ぎ目においては本来隣接しない位置の画素データが並列に入力されるために演算回路は無効データを出力するし、入力データが水平・垂直ブランキング期間等の無効データを含む場合は、演算回路は大幅な期間に渡って無効データを出力する。そのため、本発明の請求項8および9および10による信号処理回路において、演算回路41が消費する処理時間と消費電力は、従来の方法による信号処理回路のそれを下回ることになる。分割処理による消費電力増の要因として画像メモリ40の読み出し回数増があるが、分割処理によってラインメモリの記憶容量を数分の1から数十分の1に縮小すれば、ラインメモリに用いるSRAMの消費電力を大幅に削減することができる。よって、全体として従来の方法による回路より小さな消費電力で動作する信号処理回路が構成可能である。

【0093】

このように本実施の形態（請求項 8 および 9 および 10 および 19 および 23 および 24）によれば、ライン方向とラインと直角な方向に広がりを持つ画素を変換する二次元の画像処理回路のラインメモリの容量を大幅に削減し、かつ、処理時間と消費電力も削減することができる。

【0094】

（実施の形態 4）

以下、図面を参照して本発明の第 4 の実施の形態を詳細に説明する。

【0095】

図 7 は本発明の請求項 11 および 12 および 13 および 14 による信号処理回路の概略構成を示すブロック図である。図 7 において、11 と 12 と 13 はレジスタであり、61 と 62 と 63 と 64 は FF であり、65 と 66 は比較器であり、67 は EOR 回路であり、68 は NAND 回路であり、69 は NOR 回路であり、70 は OR 回路であり、54 は加算器である。71 は画素データ入力ポートであり、入力画素データがライン順次で入力する。信号処理回路には有効ビットとライン ID ビットが入力画素データの付帯情報として入力されている。有効ビットは画素データが有効であることを示す 1 ビットの信号であり、画素データと同時に有効ビット入力ポート 72 より入力される。ライン ID ビットは画素データが属するラインの偶奇を示す 1 ビットの信号であり、画素データと同時にライン ID 入力ポート 73 より入力される。74 は画素データ出力ポートであり、加算器 54 の出力と直結している。75 はクロック入力ポートであり、信号処理回路内のレジスタと FF はクロック入力ポート 75 より入力するクロックに同期して動作する。

【0096】

以下、図 7 に沿って本発明の請求項 11 および 12 および 13 および 14 による信号処理回路の動作を説明する。

【0097】

レジスタ 11, 12, 13 は図 7 のように 3 段のシフトレジスタを構成し、各レジスタは画素データ入力ポート 71 より入力する画素データをクロック入力ポート 75 より入力するクロックに同期して順送りしつつ 1 画素ずつ記憶する。本

実施の形態の信号処理回路は水平方向に隣接する2画素を加算する処理を行うものであり、加算器54がレジスタ11とレジスタ12の出力を合計して画素データ出力ポート61より出力することにより、前記の処理を行っている。

【0098】

FF63とFF64が構成するシフトレジスタは有効ビット入力ポート72より入力された有効ビットを順送りしつつ記憶するので、FF63とFF64の出力は各々レジスタ11とレジスタ12の出力が有効であることを示している。NAND回路68はFF63とFF64の出力のNANDを出力するので、NAND回路68の出力はレジスタ11とレジスタ12の出力の少なくとも一方が有効でない時にハイレベルを出力する。NAND回路68がハイレベルを出力すると、OR回路70の働きにより、加算器54に供給されるクロックがハイレベルに固定されるので、加算器54は動作を行わない。これが本実施の形態における請求項11および請求項12の適用部分であり、入力の画素の少なくとも一つが有効でない時に演算回路へ供給するクロックを停止し、それによって無効なデータが出力される入力条件の時に演算回路が無駄に電力を消費することを防止している。

【0099】

FF61とFF62が構成するシフトレジスタはラインID入力ポート73より入力されたラインIDビットを順送りしつつ記憶するので、FF61とFF62の出力は各々レジスタ11とレジスタ12が出力する画素が属していたラインの偶奇を示している。EOR回路67はFF61とFF62の出力の排他的ORを出力するので、EOR回路67の出力はレジスタ11とレジスタ12の出力する画素が異なるラインに属する時にハイレベルを出力する。EOR回路67がハイレベルを出力すると、OR回路70の働きにより、加算器54に供給されるクロックがハイレベルに固定されるので、加算器54は動作を行わない。これが本実施の形態における請求項13の適用部分であり、入力画素が全て有効であっても、本来、同時に入力すべきでない画素が含まれる時にも演算回路へ供給するクロックを停止し、それによって演算回路が無駄に電力を消費することを防止している。

【0100】

比較器65はレジスタ11と、1クロック前のレジスタ11の出力であるレジスタ12の出力とを比較することによってレジスタ11の出力の変化を検出しており、変化があればハイレベルを出力する。同様に比較器66はレジスタ12と、1クロック前のレジスタ12の出力であるレジスタ13の出力とを比較することによってレジスタ12の出力の変化を検出しており、変化があればハイレベルを出力する。NOR回路69は比較器65と比較器66のNORを出力するので、NOR回路69の出力はレジスタ11とレジスタ12の出力が両方とも1クロック前と変わらない時にハイレベルを出力する。NOR回路69がハイレベルを出力するとOR回路70の働きにより、加算器54に供給されるクロックがハイレベルに固定されるので、加算器54は動作を行わない。これが本実施の形態における請求項14の適用部分であり、入力画素に変化がなければ出力画素にも変化がないので、入力画素の変化を検出して変化がない時に演算回路へ供給するクロックを停止し、それによって演算回路が無駄に電力を消費することを防止している。

【0101】

このように、本実施の形態（請求項11および12および13および14）によれば、演算回路が有効な画素を出力しない場合、および出力が変化しない場合に演算回路へ供給するクロックを停止し、これによって演算回路で電力が無駄に消費されることを防止できる。

【0102】

（実施の形態5）

以下、図面を参照して本発明の第5の実施の形態を詳細に説明する。

【0103】

図8は本発明の請求項1および2および3および4および11および12および15および16および17および18および20および21および24および26および27および28および29による信号処理回路の概略構成を示すブロック図である。

【0104】

図8において、40は画像メモリであり入力画像と出力画像を互いに重複しない領域に記憶する。11および12および13および14および15は各々入力画像を1画素ずつ記憶するレジスタである。43はレジスタ14およびレジスタ15の入力をレジスタ13、レジスタ14またはレジスタ1、レジスタ2に切替える切替器である。41はレジスタ13、レジスタ14、レジスタ15が出力する画素を変換して出力の画素を得る演算回路である。71は画素データ入力ポートであり、入力画像は画素データ入力ポート71より画像メモリ40に入力される、72は有効ビット入力ポートであり、画素データ入力ポート71に現れるデータが有効画素である区間を示す。44はクロック制御回路であり、演算回路41へのクロックの供給をオン・オフする。42は画像メモリ40と5個のレジスタ11および12および13および14および15と、セクタ43とを制御し、有効ビット入力ポート72を監視して画素データ入力ポート71から画像メモリ40への入力画像の転送を制御し、画像メモリ40から3個のレジスタ11および12および13への画素データの転送と、レジスタ11とレジスタ12またはレジスタ13とレジスタ14からレジスタ14とレジスタ15への画素データの転送と、加算器54から画像メモリ40への出力画素データの転送を制御するメモリ制御回路である。

【0105】

図9の(A)と(B)は本発明の請求項11および12および15および16および17および18に基づく信号処理の手順を説明する為の模式図である。図9(A)の枠目は入力画像の画素に相当し、枠目の数字は画素の読み出し順に準じた画素番号である。なお、本実施の形態では請求項1および2および3および4に記載の画像処理方法を併用しており、前記方法では画素データの先読みを行うために、実際の読み出し順と画素番号が一部で一致しないことを断っておく。

【0106】

図9(A)の中央部の2行の枠目に数字が二つ入っている理由は、本実施の形態の信号処理では読み出し順が隣接する3画素を変換して出力画像の1画素を得る信号処理回路に、ラインと直角な方向に順次読み出した画素を入力することによって、垂直方向の3画素を変換して1画素を得る処理を行なっているので本発

明の請求項 17 記載のように小画像は上下方向に 2 ライン、互いに重なり合うよう分割しているからである。図 9 (B) は図 8 記載の記憶手段の出力の変化を表したものであり、図 9 (B) 中の時刻の行は時刻を請求項 4 記載の単位時間を単位として表しており、図 2 (B) 中のスイッチの行は切替器 43 のスイッチの投入位置を示し、図 2 (B) 中の A, B, C, D, E, F の行はそれぞれ画像メモリ 40、レジスタ 11、レジスタ 12、レジスタ 13、レジスタ 14、レジスタ 15 の出力の時間変化に対応しており、クロックの行の記述はクロック制御回路 44 から演算回路 41 へのクロック供給の有無を表している。

【0107】

図 10 は本発明の請求項 19 および 20 および 26 による画像メモリ 20 のアドレス制御を示すグラフであり、80 は時間を示す横軸、81 はアドレスを示す縦軸、82 と 83 は各々入力画像に割り当てられた記憶領域の下限と上限、84 は入力画像の書込みアドレスの軌跡、85 は入力画像の読み出しアドレスが動く範囲を、矩形領域で示したもの、86 は K ラインに相当するアドレス上の距離、87 は $(K - N + 1)$ ラインに相当するアドレス上の距離、88 は最初の K ライン単位の変換の終了時刻、89 は二番目の K ライン単位の変換の開始時刻である。

【0108】

以下、図 8 および図 9 および図 10 を用いて本発明の請求項 1 および 2 および 3 および 4 および 11 および 12 および 15 および 16 および 17 および 18 および 20 および 21 および 24 および 26 および 27 および 28 および 29 による信号処理回路の動作を説明する。

【0109】

図 8 のメモリ制御回路 42 は有効ビット入力ポート 72 を監視して、有効ビットがハイレベルである時の入力データを有効画素として画像メモリ 20 に書き込む。画像データの入力は請求項 26 記載のようにライン順次であり、書込みアドレスの軌跡は図 10 の 84 のように線形に変化する。入力画像の記憶領域は請求項 27 記載のように図 10 の 82 の下限アドレスと 83 の上限アドレスに挟まれた、 $(2K - N + 1)$ ラインに相当する記憶領域に書き込まれており、アドレス

が83の上限に達すると下限の82に戻して書込みを続行するよう図8のメモリ制御回路42は書込みアドレスを制御する。これは読み出しアドレスについても同様であり、図10の85が示すように入力画像に割り当てられた記憶領域の上限83を越えるアドレスは下限82から始まる領域内のアドレスに変換しされる。

【0110】

入力画像の変換は請求項26記載のようにKライン単位であるので、入力画像がKラインまで8図の画像メモリ20に書き込まれるのを待って変換を開始する。変換を開始すると図8のメモリ制御回路42は図9(A)が示すように、まず垂直方向に読み出し位置を変化させ、その読み出し開始位置を水平方向に変化させる、という順で6ラインを読み出し、二回目は同じ処理を5ライン目を先頭として繰り返す。図8の信号処理回路は通常は同一ライン上の互いに隣接する画素を変換するものであるが、本実施の形態では入力画素を読み込む際に、水平方向と垂直方向の順を入れ替えているので、ラインメモリを持たない水平方向の処理回路を用いて、垂直方向の処理を行っている。

【0111】

本実施の形態の画像処理方法は、本発明の請求項1および2および3および4を適用しているので、図8のメモリ制御回路42は各画素列の先頭の2画素を先読みしてレジスタ11とレジスタ12に置き、列の切り替わり目では切替器43のスイッチを下に倒してレジスタ13、レジスタ14、レジスタ15の内容を1単位時間内で一気に更新する。

【0112】

しかし、図10の88のように最初のKライン単位の処理が終わった時点で処理開始後に読み込まれた入力画像のライン数が $(K - N + 1)$ に満たない場合には、重複して読み出す $(N - 1)$ ラインと合わせた入力の小画像のライン数がKに満たないので、図8のメモリ制御回路42は処理を中断する。図2(B)はこの時の動作を示しており、レジスタ13、レジスタ14、レジスタ15の出力が変化しない時刻5と時刻6では図8のクロック制御44は演算回路へのクロックの供給を止め、入力画像の書込みを待つ期間での演算回路での電力消費を削減し

ている。

【0113】

メモリ制御回路42は画像メモリ40への入力画像データの転送手段と、画像メモリの読み出し手段と、演算回路に画素データを出力するレジスタ群の制御手段を兼ねているので、単独で請求項26記載の直前のKライン単位の変換で読み出したラインの上限と転送済みのライン数の差を求める手段を備えており、レジスタ13、レジスタ14、レジスタ15の内容の更新も制御するので、メモリ制御回路42はクロック制御回路44が必要とする情報を全て提供することができる。

【0114】

入力画像の書込みを待って変換を中断している期間は、演算回路41がクロックストップにより停止し、画像メモリ40の読み出しも停止しているので、信号処理回路はほとんど電力を消費しない状態で待機している。通常の画像処理方法では入力画像の水平・垂直のブランキング期間になっても消費電力はほとんど減らないので、本実施の形態の信号処理回路の方が消費電力の点でも有利である。図10の89の時点で処理開始後に読み込まれた入力画像のライン数が($K - N + 1$)を越えており、ここから二番目の小画像の処理が始まる。図9(B)では時刻6で7ライン目以降の画素が読み込まれてから処理が再開している。待機中および待機の前後も図8の演算回路41が無効なデータが入力されることはないので、演算回路41が無効なデータを出力することはない。但し、時刻5、6のクロック停止中の出力は変化しないので、後段の回路はクロック停止中の出力を処理しないよう制御する必要がある。

【0115】

入力画像の記憶領域が($2K - N + 1$)ライン分であれば、図10のように二番目の小画像の処理開始と同時に書込みアドレス84は領域の下限82に戻って書き込みを続行する。その際に、もしも画素当たりの変換速度が入力画像の転送速度より遅ければ、上書きが始まった時点で第1の小画像の変換が完了しておらず、回復不能な不具合が発生する恐れがある。しかし、本実施の形態の信号処理回路は請求項1および2および3および4に記載の画像処理方法を用いているの

で単位時間当たり 1 画素を出力し、処理中に無効データを出力することが無いので、入力画像の転送速度が単位時間当たり 1 画素であれば画素当たりの変換速度は入力画像の転送速度と同じであり、入力画像の転送期間が水平ブランキングのような無効データ区間を含むならば $(K - N + 1)$ ラインの画素の転送が完了する以前に同量の画素の変換は完了する。よって、請求項 1 および 2 および 3 および 4 に記載の画像処理方法を用いることを前提とすれば、入力画像の記憶領域が $(2K - N + 1)$ ライン分あれば十分であり、それ以上は必要としない。

【0116】

以上のように、本実施の形態（請求項 1 および 2 および 3 および 4 および 11 および 12 および 15 および 16 および 17 および 18 および 20 および 21 および 24 および 26 および 27 および 28 および 29）によれば、ラインメモリを持たない小規模な回路で垂直方向の信号処理を行うことが可能であり、入力画像を記憶するメモリは入力画像全体を記憶する容量を必要とせず、演算回路 41 が無効データを出力しないので無駄に電力を消費することがなく、入力画像の書き込み待ちで信号処理が停止する場合も待機中は演算回路 41 のクロックを停止することで待機中の消費電流を削減しているので待機期間の有無に関わらず最少の消費電流で動作する信号処理回路を構成可能であり、全体として低コストで低消費電力な信号処理回路を構成することが可能である。

【0117】

（実施の形態 6）

以下、図面を参照して本発明の第 6 の実施の形態を詳細に説明する。

【0118】

図 11 は本発明の請求項 1 および 2 および 3 および 4 および 5 および 6 および 7 および 8 および 9 および 10 および 35 および 36 による信号処理回路の概略構成を示すブロック図である。

【0119】

図 11 において、40 は画像メモリであり入力画像と出力画像を記憶する。71 は画素データ入力ポートであり、入力画像は画素データ入力ポート 71 より画像メモリ 40 に入力される、72 は有効ビット入力ポートであり、画素データ入

力ポート 71 に現れるデータが有効画素である区間を示す。76 は画素データ出力ポートであり、出力画像はこの画素データ出力ポート 76 より取り出される。

41 は演算回路であり、ラインと直角な方向に隣接する N 個の入力画素を変換して 1 個の出力画素を得る処理を行う。42 はメモリ制御回路であり、画像メモリ 40 の入出力と演算回路 41 の動作を制御するものであり、メモリ制御回路 42 は画像メモリ 40 から K ラインの画素を読み出して演算回路 41 に転送し、演算回路 41 が出力する $(K - N + 1)$ ラインの出力画素を画像メモリ 40 に書き戻す一連の処理を行う機能を持ち、この一連の処理を入力画像の読み出し開始位置をラインと直角な方向に $(K - N + 1)$ ライン移動しつつ繰り返すことができる。

【0120】

図 12 は本発明の請求項 35 および 36 による画像メモリのアドレス制御を説明するためのグラフである。図 12 において、80 は時間を示す横軸、81 はアドレスを示す縦軸、82 と 83 は各々画像処理に割り当てられた記憶領域の下限と上限、84 は入力画像の書込みアドレスの軌跡、85 は入力画像の読み出しアドレスが動く範囲を、矩形領域で示したもの、91 は出力画像の書込みアドレスが動く範囲を、矩形領域で示したもの、92 は出力画像の読み出しアドレスの軌跡、86 は K ラインに相当するアドレス上の距離、87 は $(K - N + 1)$ ラインに相当するアドレス上の距離、88 は最初の K ライン単位の変換の終了時刻、89 は二番目の K ライン単位の変換の開始時刻である。入力画像の書込みアドレスの軌跡 84 が示すようにメモリアドレスが記憶領域の上限 83 に達すると記憶領域の下限 82 からのアドレスに折り返される。これは出力画像の書込みアドレス 91 と出力画像の読み出しアドレス 92 と出力画像の読み出しアドレス 92 でも同様である。

【0121】

以下、図 11 と図 12 を用いて本発明の第 6 の実施の形態の信号処理を説明する。

【0122】

図 11 において、メモリ制御回路 42 は有効ビット入力ポート 72 を監視して

画素データ入力ポート71から画像メモリ40への入力画像の転送を行い、画像メモリ40へ転送した入力画像のライン数をカウントして演算回路41に転送したラインとの距離を求め、その距離が $(K-N+1)$ ラインを超す毎に前記のKラインを単位とする一連の処理を起動する。この時点は図12では入力画像の書込みアドレスの軌跡84がKラインに相当するアドレス上の距離86を越えた個所に当たる。

【0123】

入力画像の最初のKラインを保存する領域は、図12の割り当てられた記憶領域の下限82から $(K-N+1)$ ラインに相当するアドレス上の距離87だけオフセットしたアドレスを先頭としており、Kラインの入力画像に対して図11の演算回路が出力する $(K-N+1)$ ラインの画素を、図12の割り当てられた記憶領域の下限82から $(K-N+1)$ ラインの領域に保存する。

【0124】

最初の小画像の処理が終了した時点で図11のメモリ制御回路42は出力画像の読み出しを開始するが、その時点が図12の84に示すように入力画像の書込みアドレスが領域の上限83に達して下限82に折り返す以前でないと、出力の画像が入力の画像で上書きされる恐れがある。本実施の形態では領域の下限82から上限83までの記憶容量は $(3K-2N+2)$ ライン分であり、第1の小画像の処理開始からアドレスの折り返しまでに読み込まれる入力画像は $(K-N+1)$ ラインである。

【0125】

一方、本実施の形態の信号処理回路は本発明の請求項1および2および3および4および5および6および7および8および9および10に記載の画像処理方法を用いるので、単位時間当たり1画素を出力し、処理中に無効データを出力することが無く、入力画像の転送速度が単位時間当たり1画素であれば画素当たりの変換速度は入力画像の転送速度と同じである。そのため、入力画像の転送期間が水平ブランキングのような無効データ区間を含むならば図12の88のように $(K-N+1)$ ラインの画素の転送が完了する以前の時点で第1の小画像の処理は完了し、変換完了前に上書きが始まることはない。図11のメモリ制御回路4

2 は出力画像の読み出しを図 12 の 88 の時点で開始し、そのアドレスの軌跡が図 12 の 92 である。

【0126】

2 番目の小画像の処理は図 12 の 89 の時点で始まる。2 番目の小画像の処理で入力となる K ラインは 1 番目の小画像の処理で入力となった K ラインのうち上側の $(N-1)$ ラインを含んでおり、下側の $(K-N+1)$ ラインは不要である。K ラインの入力画像に対して図 11 の演算回路が出力する $(K-N+1)$ ラインの画素は、1 番目の小画像の処理で不要となった $(K-N+1)$ ラインの領域に保存する。この領域の下端は最初の出力の小画像の記憶領域の上端と一致するので、1 番目と 2 番目の出力の小画像はメモリ上で連続した画像に再構成される。出力画像の読み出しは図 12 の 92 の軌跡のように線順次で読み出され、図 11 の画素データ出力ポート 76 で観測する限り出力画像に不連続が認められることはない。以下、図 11 の画素データ入力ポート 71 からの画像入力に従って第二、第 3 の小画像についても処理が進み、最終的に画素データ出力ポート 76 から不連続の無い出力画像全体が出力される。

【0127】

このような処理を、各々独立した入力画像の記憶領域と出力画像の記憶領域を用いて実表するためには、入力画像の記憶領域として $(2K-N+1)$ ライン分、入力画像の記憶領域として $(2K-2N+2)$ ライン分、合わせて $(4K-3N+3)$ ライン分の記憶領域が必要であり、本実施の形態が必要とした $(3K-2N+2)$ ライン分よりも多くの記憶容量を消費する。

【0128】

このように、本実施の形態（請求項 1 および 2 および 3 および 4 および 5 および 6 および 7 および 8 および 9 および 10 および 35 および 36）に記載の画像処理方法を用いれば、入力画像の記憶に用いる領域と出力画像の記憶に用いる領域を多重化することにより、入力画像の記憶に用いる領域と出力画像の記憶に用いる領域を独立して設けた場合の合計の容量よりも少ない容量の記憶領域を用いて入力画像の転送と信号処理と出力画像の転送を同時に行うことが可能になる。

【0129】

【発明の効果】

以上のように本発明は、ラインメモリの容量を削減し、同時に画像メモリの容量と処理時間と消費電力を最少化することができるという優れた効果が得られるものである。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施の形態のブロック図

【図 2】

本発明の第 1 の実施の形態における手順を示す模式図

【図 3】

本発明の第 2 の実施の形態のブロック図

【図 4】

本発明の第 2 の実施の形態における手順を示す模式図

【図 5】

本発明の第 3 の実施の形態のブロック図

【図 6】

本発明の第 3 の実施の形態における手順を示す模式図

【図 7】

本発明の第 4 の実施の形態のブロック図

【図 8】

本発明の第 5 の実施の形態のブロック図

【図 9】

本発明の第 5 の実施の形態における手順を示す模式図

【図 10】

本発明の第 5 の実施の形態におけるアドレス制御を示す模式図

【図 11】

本発明の第 6 の実施の形態のブロック図

【図 12】

本発明の第 6 の実施の形態におけるアドレス制御を示す模式図

【図13】

従来の技術のブロック図

【符号の説明】

10、20、30 RAM

11、12、13、14、15、21、22、23、24、31、32、33

, 34 レジスタ

40 画像メモリ

41 演算回路

42 メモリ制御回路

43 切替器

44 クロック制御回路

45、46 ラインメモリ

47 垂直フィルタ

48 水平フィルタ

51、52、53、55、56、57 乗算器

54、58 加算器

61、62、63、64 FF (フリップフロップ)

65、66 比較器

67 EOR回路

68 NAND回路

69 NOR回路

70 OR回路

71 画素データ入力ポート

72 有効ビット入力ポート

73 ラインID入力ポート

74 画素データ出力ポート

75 クロック入力ポート

80 時間を示す横軸

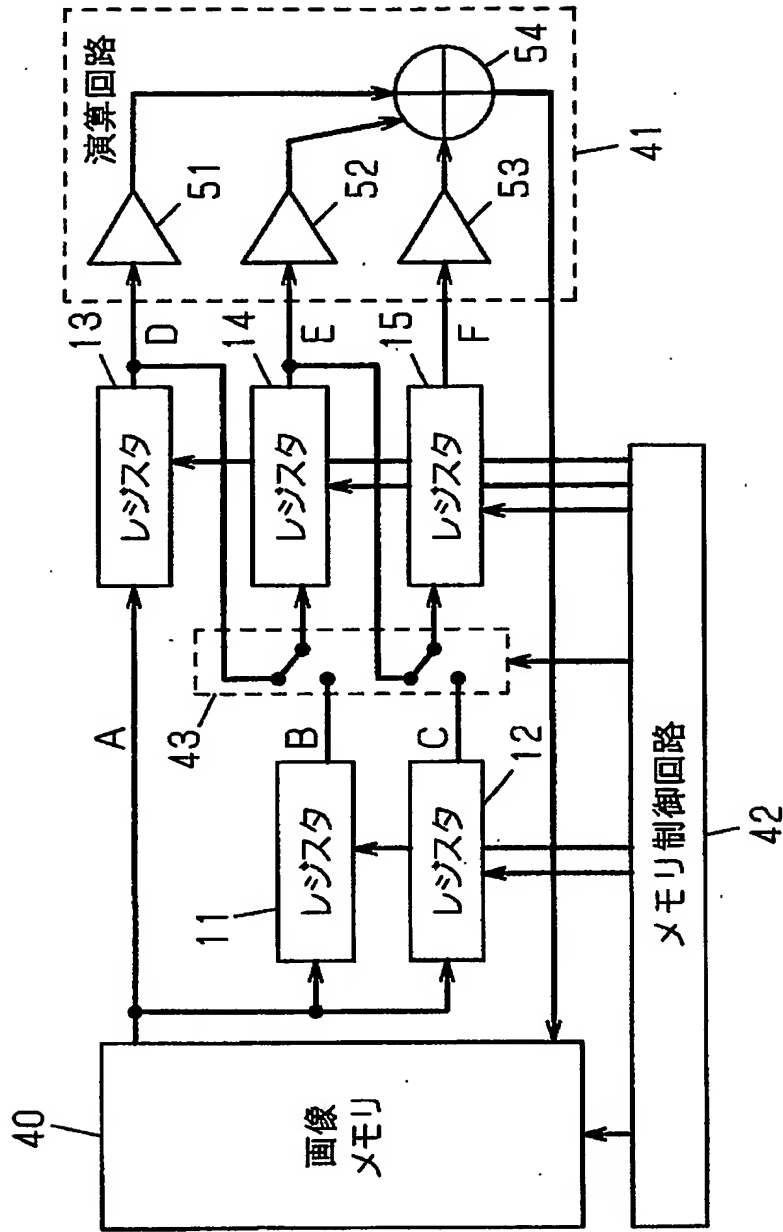
81 アドレスを示す縦軸

- 8 2 入力画像の記憶領域の下限
- 8 3 入力画像の記憶領域の上限
- 8 4 入力画像の書込みアドレスの軌跡
- 8 5 入力画像の読み出しアドレスが動く範囲
- 8 6 Kラインに相当するアドレス上の距離
- 8 7 $(K - N + 1)$ ラインに相当するアドレス上の距離
- 8 8 最初のKライン単位の変換の終了時刻
- 8 9 二番目のKライン単位の変換の開始時刻
- 9 1 出力画像の書込みアドレスが動く範囲
- 9 2 出力画像の読み出しアドレスの軌跡

【書類名】

図面

【図 1】



【図2】

(A)

11	12	13	14	15/11	16/12	13	14	15	16
21	22	23	24	25/21	26/22	23	24	25	26
31	32	33	34	35/31	36/32	33	34	35	36
41	42	43	44	45/41	46/42	43	44	45	46
51	52	53	54	55/51	56/52	53	54	55	56
61	62	63	64	65/61	66/62	63	64	65	66

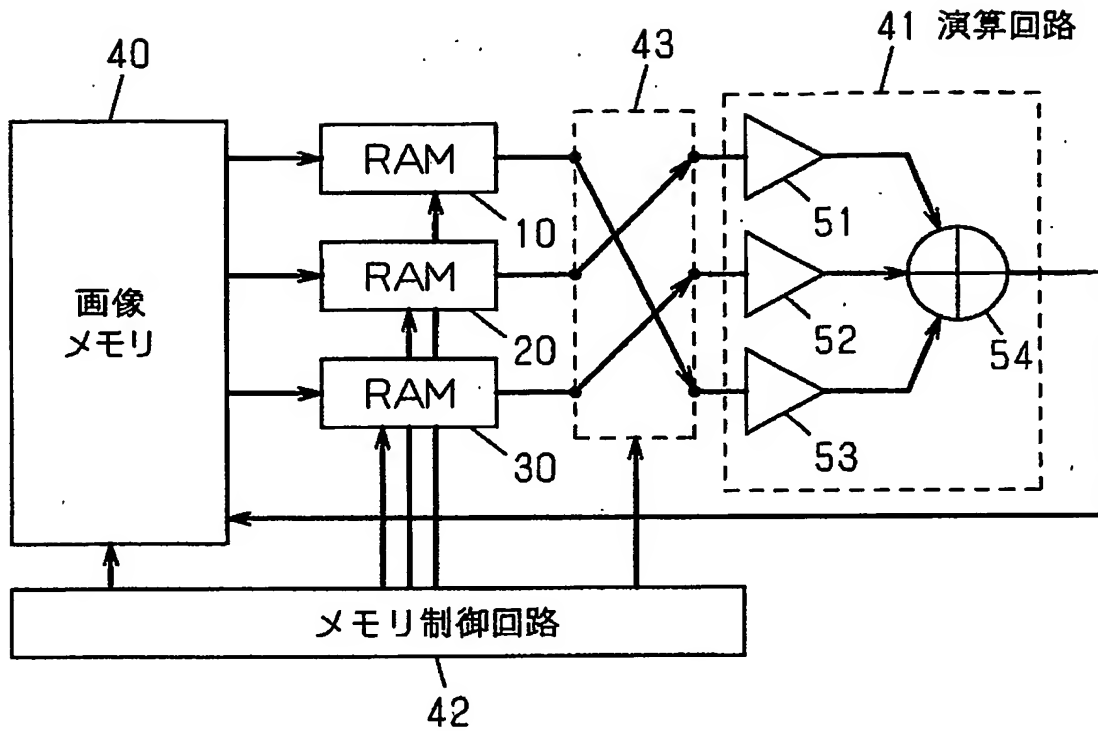
(B)

時刻	1	2	3	4	5	6	7	8	9
スイッチ	上	下	上	上	上	下	上	上	上
A	11, 12	13, 21	14, 22	15	16	23, 31	24, 32	25	26
B	X	12	12	22	22	22	22	32	32
C	X	11	21	21	21	21	31	31	31
D	X	X	13	14	15	16	23	24	25
E	X	X	12	13	14	15	22	23	24
F	X	X	11	12	13	14	21	22	23

(C)

1	2	3	4	25	26	27	28
5	6	7	8	29	30	31	32
9	10	11	12	33	34	35	36
13	14	15	16	37	38	39	40
17	18	19	20	41	42	43	44
21	22	23	24	45	46	47	48

【図3】



【図4】

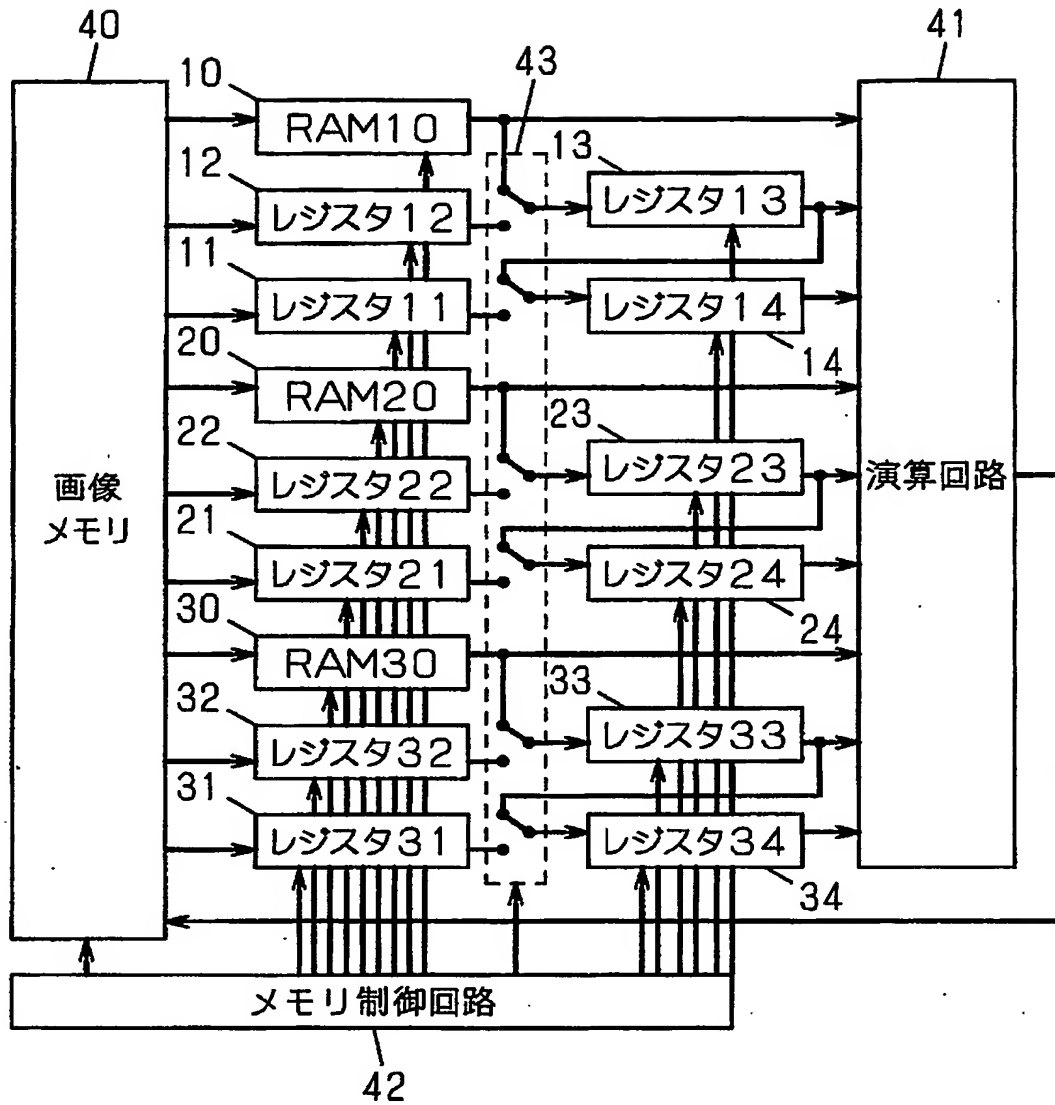
(A)

1	4	7	10	13	16	19	22	49	52	55	58	61	64	67	70
2	5	8	11	14	17	20	23	50	53	56	59	62	65	68	71
3	6	9	12	15	18	21	24	51	54	57	60	63	66	69	72
25	26	27	28	29	30	31	32	73	74	75	76	77	78	79	80
33	34	35	36	37	38	39	40	81	82	83	84	85	86	87	88
41	42	43	44	45	46	47	48	89	90	91	92	93	94	95	96

(B)

1	2	3	4	5	6	7	8	33	34	35	36	37	38	39	40
9	10	11	12	13	14	15	16	41	42	43	44	45	46	47	48
17	18	19	20	21	22	23	24	49	50	51	52	53	54	55	56
25	26	27	28	29	30	31	32	57	58	59	60	61	62	63	64

【図5】



【図6】

(A)

11	12	13	14	15/11	16/12	13	14	15	16
21	22	23	24	25/21	26/22	23	24	25	26
31	32	33	34	35/31	36/32	33	34	35	36
41	42	43	44	45/41	46/42	43	44	45	46
51	52	53	54	55/51	56/52	53	54	55	56
61	62	63	64	65/61	66/62	63	64	65	66

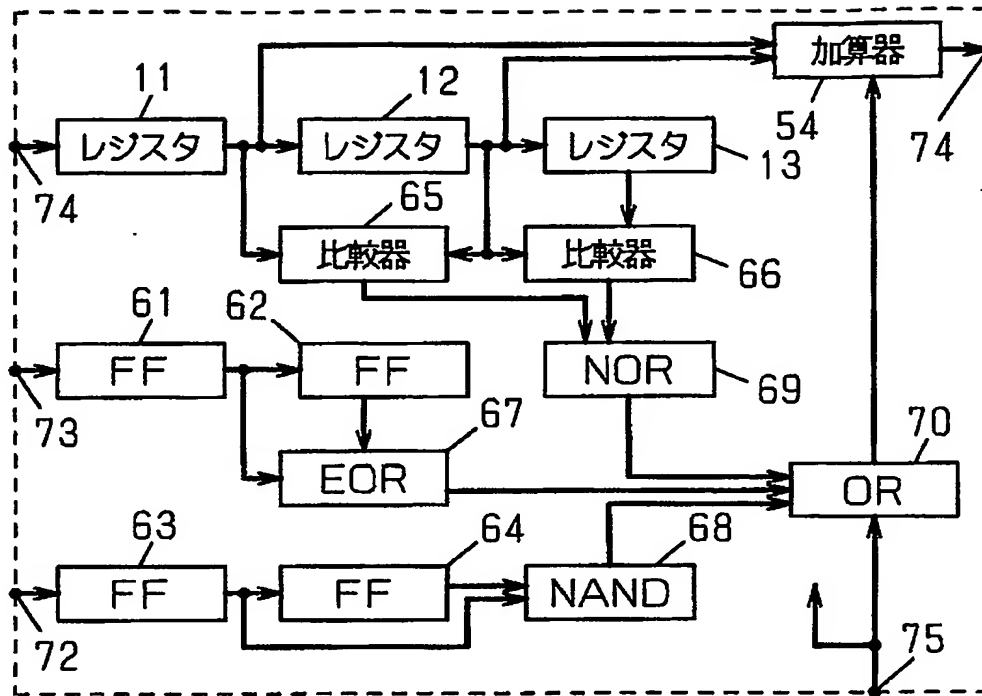
(B)

時刻	1	2	3	4	5	6	7	8	9
スイッチ	上	上	下	上	上	上	下	上	上
レジスタ11	11	11	11	41	41	41	41	41	41
レジスタ12	12	12	12	42	42	42	42	42	42
RAM1	13	13	13	13	14	15	16	43	44
レジスタ13	X	X	X	12	13	14	15	42	43
レジスタ14	X	X	X	11	12	13	14	41	42
レジスタ21	X	21	21	21	21	21	21	51	51
レジスタ22	X	22	22	22	22	22	22	52	52
RAM2	X	23	23	23	24	25	26	23	24
レジスタ23	X	X	22	22	23	24	25	22	23
レジスタ24	X	X	X	21	22	23	24	21	22
レジスタ31	X	X	31	31	31	31	31	31	31
レジスタ32	X	X	32	32	32	32	32	32	32
RAM3	X	X	33	33	34	35	36	33	34
レジスタ33	X	X	X	32	33	34	35	32	33
レジスタ34	X	X	X	31	32	33	34	31	32

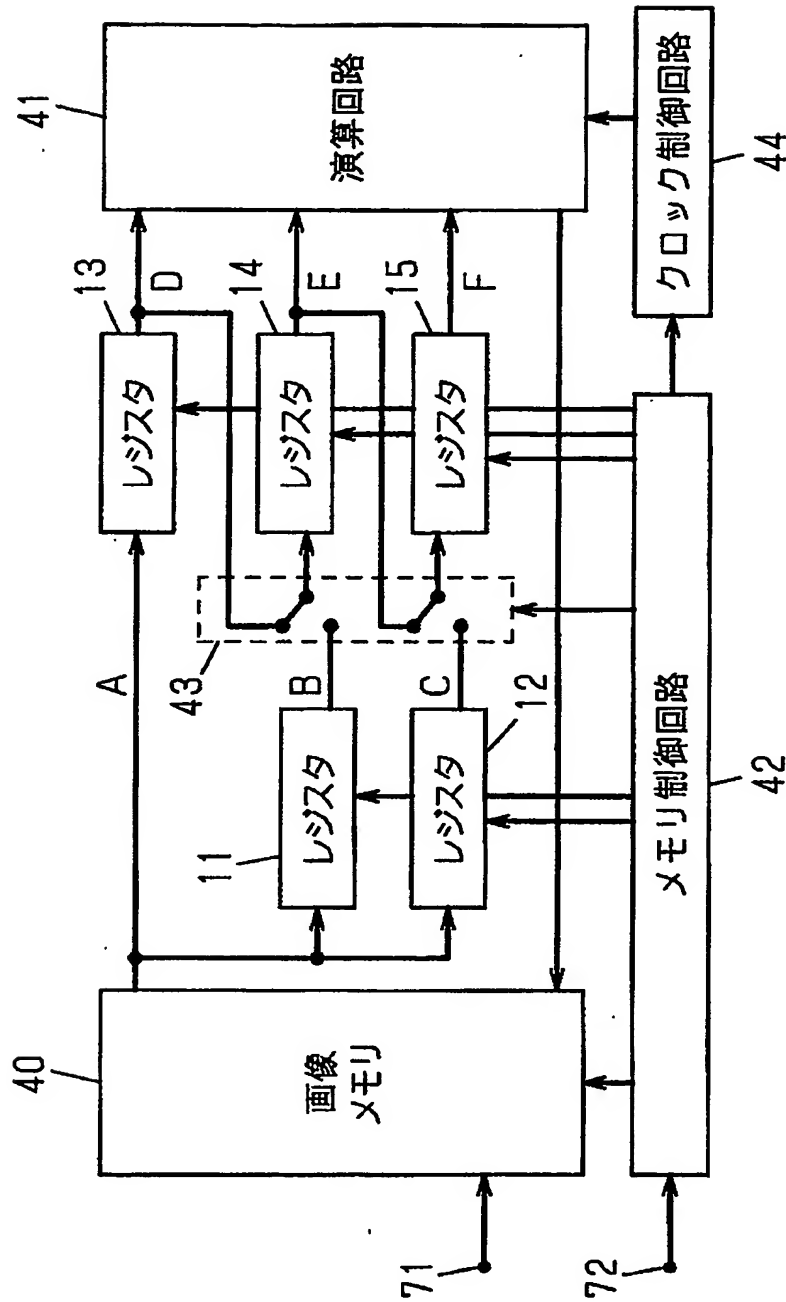
(C)

時刻	13	14	15	16	17	18	19	20	21
スイッチ	上	上	下	上	上	上	下	上	上
レジスタ11	41	41	41	11	11	11	11	41	41
レジスタ12	42	42	42	12	12	12	12	42	42
RAM1	44	45	46	43	44	45	46	13	14
レジスタ13	43	44	45	42	43	44	45	12	13
レジスタ14	42	43	44	41	42	43	44	11	12
レジスタ21	51	51	51	51	21	21	21	21	21
レジスタ22	52	52	52	52	22	22	22	22	22
RAM2	54	55	56	53	54	55	56	23	24
レジスタ23	53	54	55	52	53	54	55	22	23
レジスタ24	52	53	54	51	52	53	54	21	22
レジスタ31	61	61	61	61	61	31	31	31	31
レジスタ32	62	62	62	62	62	32	32	32	32
RAM3	34	35	36	63	64	65	66	33	34
レジスタ33	33	34	35	62	63	64	65	32	33
レジスタ34	32	33	34	61	62	63	64	31	32

【図 7】



【図 8】



【図9】

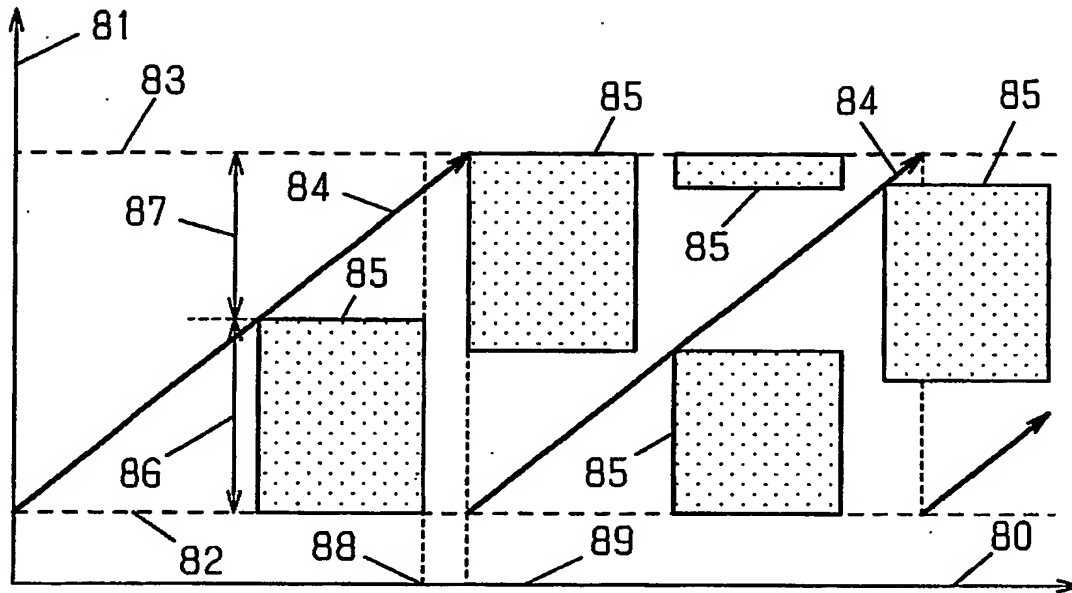
(A)

1	7	13	19	25	31
2	8	14	20	26	32
3	9	15	21	27	33
4	10	16	22	28	34
5/37	11/43	17/49	23/55	29/61	35/67
6/38	12/44	18/50	24/56	30/62	36/68
39	45	51	57	63	69
40	46	52	58	64	70
41	47	53	59	65	71
42	48	54	60	66	72

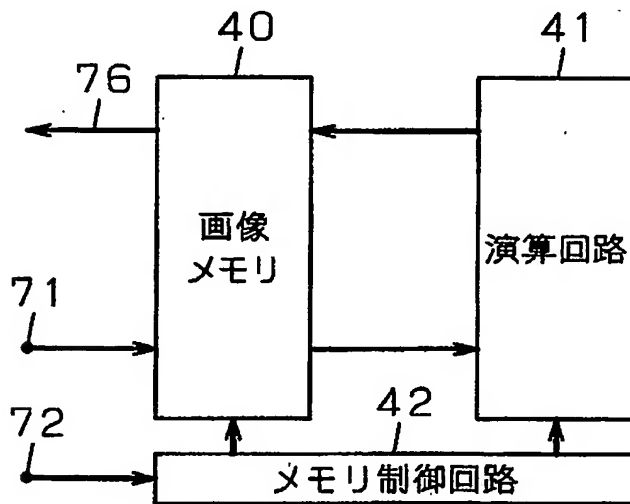
(B)

時刻	1	2	3	4	5	6	7	8	9
スイッチ	上	上	上	上	上	下	上	上	上
A	34, 38	35	36	—	—	39, 43	40, 44	41	42
B	32	38	38	38	38	38	38	44	44
C	37	37	37	37	37	37	43	43	43
D	33	34	35	36	36	36	39	40	41
E	32	33	34	35	35	35	38	39	40
F	31	32	33	34	34	34	37	38	39
クロック	有り	有り	有り	有り	無し	無し	有り	有り	有り

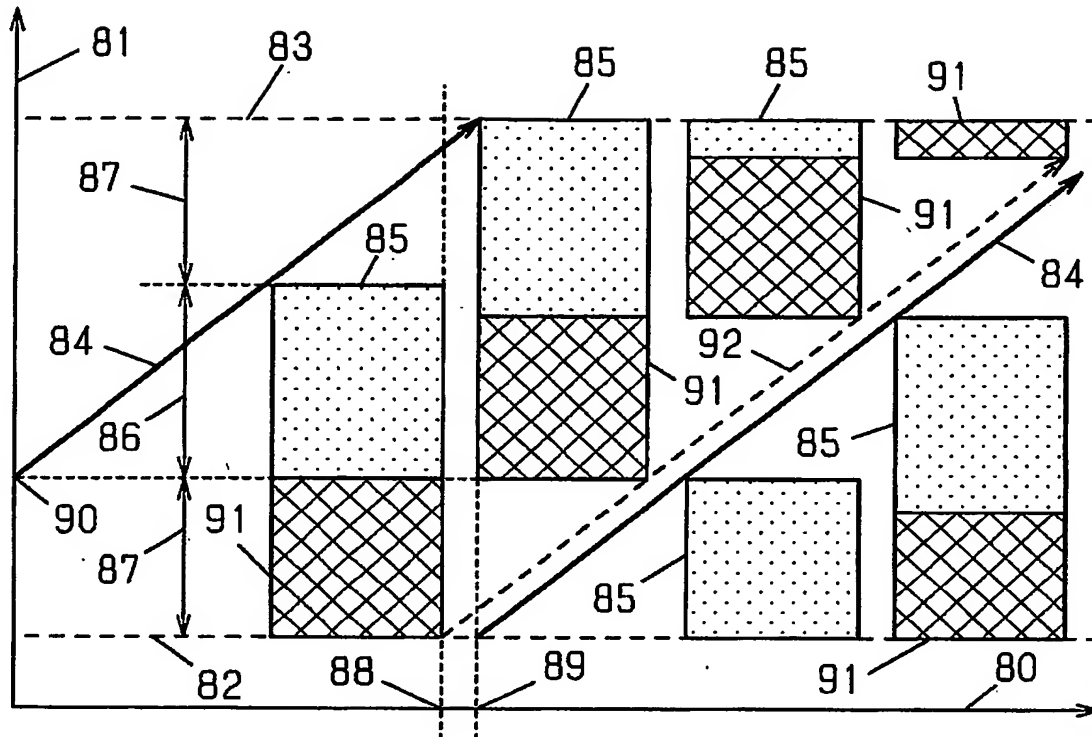
【図10】



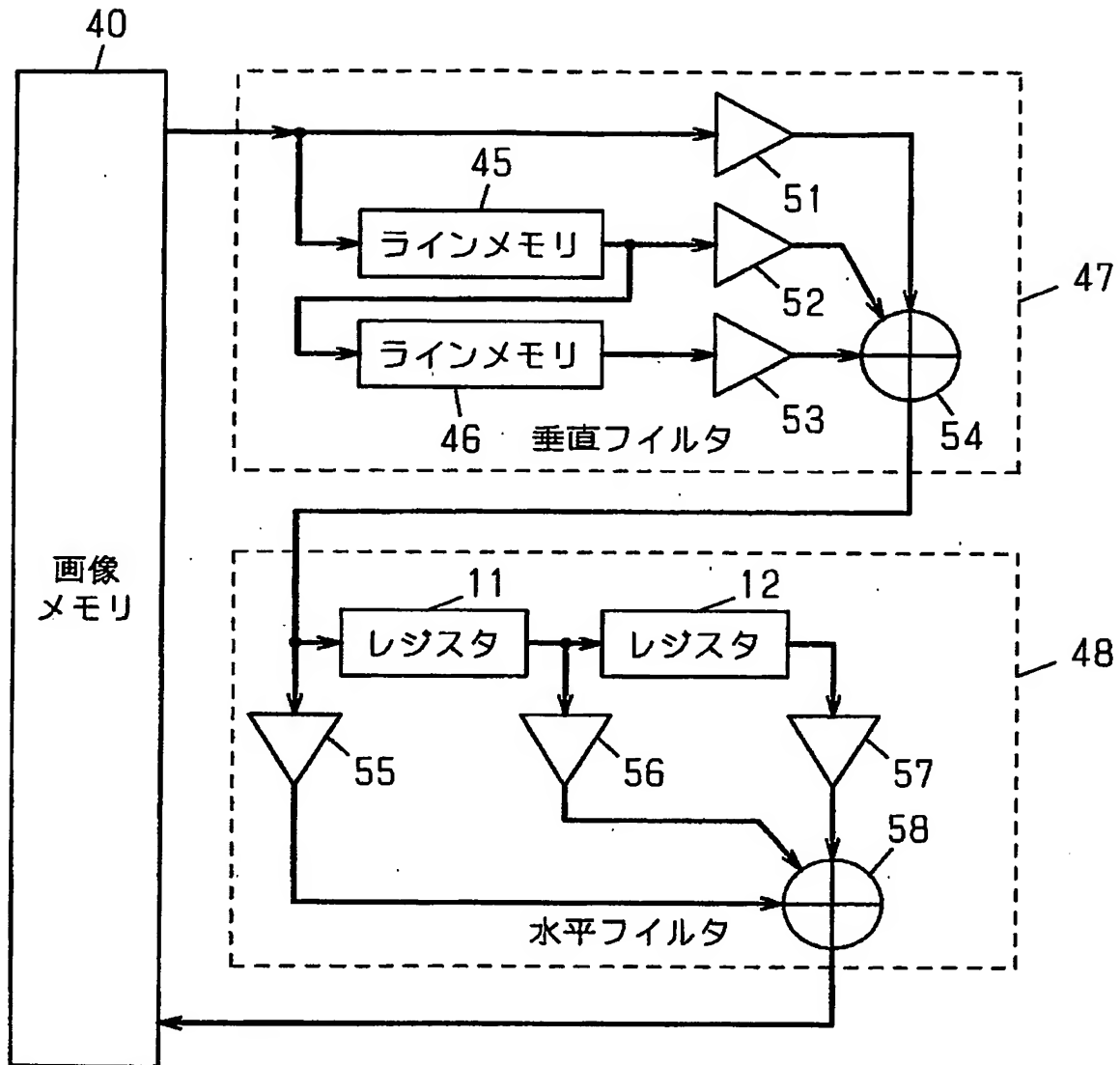
【図11】



【図 12】



【図13】



【書類名】 要約書

【要約】

【課題】 画像処理回路において、ラインメモリの容量を削減し、同時に画像メモリの容量と処理時間と消費電力を最少化する。

【解決手段】 入力画像を小画像に分割することによりラインメモリ容量を削減する。次のラインの先頭と次の画像の先頭を先読みする機構を設け、小画像の継ぎ目で処理時間と消費電力のロスを回避する。小画像は垂直方向のサイズを制限し、入力画像領域と出力画像領域を多重化し、再利用することで画像メモリの消費量を削減する。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日 1990年 8月28日
[変更理由] 新規登録
住 所 大阪府門真市大字門真1006番地
氏 名 松下電器産業株式会社